



**T.C. İSTANBUL T CARET
 NİVERSİTESİ**

FEN B LİMLERİ ENSTİT S 

**YAZILIM TANIMLI RADYO KULLANARAK FAZ UYUMLU  OKLU
ALICI TASARIMI**

Zeynep KAPLANO LU  ANTI

**Dan şman
Do . Dr. Serhan YARKAN**

**Y KSEK LİSANS TEZİ
ELEKTRONİK VE HABERLE ME M HENDİSLİ İ ANABİLİM DALI
İSTANBUL – 2022**

KABUL VE ONAY SAYFASI

Zeynep KAPLANOĞLU ÇANTI tarafından hazırlanan "**Yazılım Tanımlı Radyo Kullanarak Faz Uyumlu Çoklu Alıcı Tasarımı**" adlı tez çalışması 24/01/2022 tarihinde aşağıdaki jüri üyeleri önünde başarı ile savunularak, İstanbul Ticaret Üniversitesi Fen Bilimleri Enstitüsü **Elektronik ve Haberleşme Mühendisliği Anabilim Dalı**'nda **YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Danışman	Doç. Dr. Serhan YARKAN İstanbul Ticaret Üniversitesi
Jüri Üyesi	Prof. Dr. Mehmet Hakan HOCAOĞLU İstanbul Ticaret Üniversitesi
Jüri Üyesi	Doç. Dr. Yasin ÖZÇELEP İstanbul Üniversitesi-Cerrahpaşa

Onay Tarihi :10.02.2022

İstanbul Ticaret Üniversitesi, Fen Bilimleri Enstitüsünün 10.02.2022 tarih ve 2022/339 numaralı Yönetim Kurulu Kararının 2. maddesi gereğince, ders yüklerini ve tez yükümlülüğünü yerine getirdiği belirlenen "Zeynep KAPLANOĞLU ÇANTI" adlı öğrencinin mezun olmasına oy birliği ile karar verilmiştir.

Prof. Dr. Necip ŞİMŞEK
Enstitü Müdürü

AKADEMİK VE ETİK KURALLARA UYGUNLUK BEYANI

İstanbul Ticaret Üniversitesi, Fen Bilimleri Enstitüsü, tez yazım kurallarına uygun olarak hazırladığım bu tez çalışmada,

- tez içindeki bütün bilgi ve belgeleri akademik kurallar çerçevesinde elde ettiğimi,
- görsel, işitsel ve yazılı tüm bilgi ve sonuçları bilimsel ahlak kurallarına uygun olarak sunduğumu,
- başkalarının eserlerinden yararlanılması durumunda ilgili eserlere bilimsel normlara uygun olarak atıfta bulunduğumu,
- atıfta bulunduğum eserlerin tümünü kaynak olarak gösterdiğimi,
- kullanılan verilerde herhangi bir tahrifat yapmadığımı,
- ve bu tezin herhangi bir bölümünü bu üniversitede veya başka bir üniversitede başka bir tez çalışması olarak sunmadığımı

beyan ederim.

Zeynep KAPLANOĞLU ÇANTI

İÇİNDEKİLER

	Sayfa
İÇİNDEKİLER.....	i
ÖZET	ii
ABSTRACT	iii
TEŞEKKÜR.....	iv
ŞEKİLLER DİZİNİ	v
ÇİZELGELER DİZİNİ	vii
SEMBOLLER VE KISALTMALAR DİZİNİ.....	viii
1. GİRİŞ	1
2. LİTERATÜR ÖZETİ.....	2
3. FAZ KİLİTLİ DÖNGÜ (PLL).....	5
3.1. Faz Dedektörü	6
3.1.1. Faz-frekans dedektörü (PFD).....	8
3.1.2. Şarj pompası faz kilitli döngü	11
3.2. XOR Faz Dedektörü	15
3.3. Alçak Geçirgen Döngü Filtresi.....	17
3.3.1. Pasif Döngü Filtresi	18
3.3.2. Aktif döngü filtresi.....	19
3.4. Voltaj Kontrollü Osilatör	20
4. FAZ KİLİTLİ DÖNGÜ MATLAB-SİMULINK UYGULAMASI	23
4.1. XOR Faz Dedektörü ile PLL Uygulaması.....	23
4.2. Faz/Frekans Dedektörü ve Şarj Pompası ile PLL Uygulaması	25
5. FAZ KİLİTLİ DÖNGÜ SENKRONİZASYONU	27
5.1. Master-Slave Senkronizasyonu	29
5.1.1. XOR faz dedektörü ve master –slave uygulaması.....	30
5.1.2. Faz/Frekans dedektörü ve şarj pompası master –slave uygulaması..	31
5.2. Giriş Sinyalinin Ortak Kaynak Paylaşımı Senkronizasyonu	33
5.2.1. XOR faz dedektörü ve ortak kaynak paylaşımı senkronizasyonu	33
5.2.2. Faz/Frekans dedektörü ve ortak kaynak senkronizasyonu.....	35
6. SES KAYDI İLE FAZ SENKRONİZASYONU UYGULAMASI	38
6.1. MATLAB Kodu ile Ses Kaydı Oluşturulması	38
6.2. MATLAB Sonuçlarını Simulink Projesine Aktarma.....	39
6.3. Ses Kaydı ile Simulink Master-slave PLL Uygulaması.....	39
6.3.1. XOR pll ve master-slave uygulaması.....	39
6.3.2. PFD PLL ve Master-slave pll uygulaması	42
6.4. Ses Kaydı ile Simulink Ortak Kaynak Paylaşımı PLL Uygulaması	43
6.4.1. XOR pll ve ortak kaynak paylaşımı uygulaması	44
6.4.2. PFD pll ve ortak kaynak paylaşımı uygulaması.....	45
7. SONUÇLAR VE ÖNERİLER	49
KAYNAKLAR	51
EKLER.....	55
ÖZGEÇMİŞ.....	56

ÖZET

Yüksek Lisans Tezi

YAZILIM TANIMLI RADYO KULLANARAK FAZ UYUMLU ÇOKLU ALICI TASARIMI

Zeynep KAPLANOĞLU ÇANTI

İstanbul Ticaret Üniversitesi
Fen Bilimleri Enstitüsü
Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Danışman: Doç. Dr. Serhan YARKAN

2022, 56 sayfa

Faz kilitli döngü (PLL), iletişimde teknolojinin ilerlemesine önemli ölçüde katkıda bulunan bir tekniktir. İlk uyumlu modülasyon sistemleri geliştirildiğinden beri elektronik mühendisliğinde faz ve frekans senkronizasyon sorunları mevcuttur. Bu çalışma, PLL'nin temel ayrıntılarını vermektedir. Kontrol sistemleri ve dijital iletişim için geçerli olan temel PLL ilkesinin kısa bir özetini sağlamaktadır. Ayrıca PLL bileşenlerini ve bunlar arasındaki karşılaştırmayı da bildirir. PLL'ler, doğru zaman esasını kurtarmaktan ve süreçleri senkronize etmekten sorumludur. Uygulama ihtiyaçlarına göre, master-slave ve ortak kaynak en basit ve en çok kullanılan seçim olmak üzere farklı saat dağıtım stratejileri geliştirildi. Senkronizasyon için en aktif senkronizasyon tekniklerinden biri olduğu için PLL teknikleri seçilmiştir. Bu çalışmada, MATLAB'ın Simulink'i, simulasyon yöntemi ve devre tasarımı ve PLL'yi senkronize etmek için matematiksel çözümler içermektedir.

Anahtar Kelimeler: Faz/frekans dedektörü, faz kilitli döngü, şarj pompası faz kilitli döngü, voltaj kontrollü osilatör, XOR faz dedektörü.

ABSTRACT

M.Sc. Thesis

PHASE MATCHED MULTI RECEIVER DESIGN USING SOFTWARE DEFINED RADIO

Zeynep KAPLANOĞLU ÇANTI

**Istanbul Commerce University
Graduate School of Applied and Natural Sciences Department of Electronics
and Communications Engineering**

Supervisor: Assoc. Prof. Serhan YARKAN

2022, 56 pages

Phase locked loop (PLL) is a technique that has contributed significantly to the advancement of technology in communication. Phase and frequency synchronization problems have existed in electronics engineering since the first coherent modulation systems were developed. This study gives the basic details of PLL. It provides a brief summary of the basic PLL principle applicable to control systems and digital communications. It also reports the PLL components and the comparison between them. PLLs are responsible for saving accurate time basis and synchronizing processes. According to the application needs, different clock distribution strategies were developed, with master-slave and common source being the simplest and most used choice. PLL techniques were chosen for synchronization as it is one of the most active synchronization techniques. This study includes MATLAB's Simulink, simulation method and circuit design, and mathematical solutions for synchronizing PLL.

Keywords: Phase/frequency detector, charge pump, phase locked loop, voltage controlled oscillator, XOR phase detector.

TEŞEKKÜR

Bu araştırma için beni yönlendiren, karşılaştığım zorlukları bilgi ve tecrübesi ile aşmamda yardımcı olan değerli Danışman Hocam Doç. Dr. Serhan YARKAN'a teşekkürlerimi sunarım.

Bu araştırmanın uygulama aşamasında katkılarından dolayı TÜBİTAK BİLGEM RF Teknolojileri Bölümüne teşekkürlerimi sunarım.

Tezimin her aşamasında beni yalnız bırakmayan, desteklerini ve emeklerini daima hissettiğim değerli eşime ve aileme sonsuz sevgi ve saygılarımı sunarım.

Zeynep KAPLANOĞLU ÇANTI
İSTANBUL, 2022

ŞEKİLLER

	Sayfa
Şekil 2.1. Faz kilitli döngü şeması.....	2
Şekil 3.1. (a) Faz dedektörü çıkış voltajı Vout, (b) faz farkı, (c) faz detektörü.....	7
Şekil 3.2. Faz-frekans dedektörü	8
Şekil 3.3. Durum şeması	9
Şekil 3.4. Kilitlenen faz kilitli döngü işlemi.....	10
Şekil 3.5. PFD özelliği	11
Şekil 3.6. Şarj pompası gösterimi	12
Şekil 3.7. Faz frekans dedektörü ve şarj pompası bağlantısı	13
Şekil 3.8. XOR faz dedektörü gösterimi.....	15
Şekil 3.9. XOR faz dedektörü yanıt dalga biçimleri.....	16
Şekil 3.10. XOR faz dedektörü yanıt dalga biçimleri	17
Şekil 3.11. (a) İkinci dereceden pasif filtre (b) üçüncü dereceden pasif filtre.....	18
Şekil 3.12. Üçüncü dereceden aktif filtre	20
Şekil 3.13. Voltaj kontrollü osilatör gösterimi.....	20
Şekil 4.1. XOR faz dedektörü ile kilitli döngü gösterimi	23
Şekil 4.2. XOR faz dedektörü için güç spektral yoğunluk tahmini	24
Şekil 4.3. XOR faz dedektörü ile kilitli döngü gösterimi	25
Şekil 4.4. Faz/Frekans dedektörü ve şarj pompası ile pll uygulaması.....	26
Şekil 4.5. Şarj pompası PFD dedektörü için güç spektral yoğunluk tahmini	26
Şekil 4.6. VCO ve giriş (sinyal üretici) sonucu	26
Şekil 5.1. Master-slave faz kilitli döngü gösterimi	28
Şekil 5.2. Giriş sinyalini bölerek faz kilitli döngü gösterimi.....	29
Şekil 5.3. XOR faz dedektörü ile master –slave uygulaması.....	30
Şekil 5.4. Master ve slave VCO ve giriş (sinyal üretici) sonucu.....	31
Şekil 5.5. PFD ve şarj pompası ile master –slave uygulaması.....	32
Şekil 5.6. Master ve slave VCO ve giriş (sinyal üretici) sonucu.....	32
Şekil 5.7. XOR faz dedektörü ile ortak kaynak paylaşımı uygulaması.....	33
Şekil 5.8. Ortak kaynak paylaşımı VCO ve giriş (sinyal üretici) sonucu	34
Şekil 5.9. Ortak kaynak paylaşımı VCO2 ve giriş (sinyal üretici) sonucu.....	34
Şekil 5.10. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu	35
Şekil 5.11. Ortak kaynak paylaşımı ile VCO2 spektrum analizör sonucu	35
Şekil 5.12. PFD faz dedektörü ile ortak kaynak paylaşımı uygulaması	36
Şekil 5.13. Ortak kaynak paylaşımı VCO ve giriş (sinyal üretici) sonucu.....	36
Şekil 5.14. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu	37
Şekil 5.15. Ortak kaynak paylaşımı ile VCO2 spektrum analizör sonucu	37
Şekil 6.1. Matlab kodu çalıştırıldığında workspace sonuçları	39
Şekil 6.2. Ses kaydı ile XOR faz dedektörü ve master-slave PLL uygulaması	40
Şekil 6.3. Master-slave VCO ve giriş (sinyal üretici) sonucu	40
Şekil 6.4. Master-slave ile VCO spektrum analizör sonucu.....	41
Şekil 6.5. Master-slave ile VCO2 spektrum analizör sonucu	41

Şekil 6.6. Ses kaydı ile PFD faz dedektörü ve master-slave PLL uygulaması.....	42
Şekil 6.7. Master-slave VCO ve giriş (sinyal üretici) sonucu	43
Şekil 6.8. Master-slave ile VCO spektrum analizör sonucu.....	43
Şekil 6.9. Ses kaydı ile XOR dedektörü ortak kaynak paylaşımı	44
Şekil 6.10. Ortak kaynak ile VCO, VCO1 ve (sinyal üretici) sonucu	45
Şekil 6.11. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu	45
Şekil 6.12. Ses kaydı ile PFD faz dedektörü ortak kaynak paylaşımı.....	46
Şekil 6.13. Ortak kaynak ile VCO, VCO1 ve (sinyal üretici) sonucu	47
Şekil 6.14. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu	47
Şekil 6.15. Ortak kaynak paylaşımı ile VCO2 spektrum analizör sonucu	48

ÇİZELGELER

	Sayfa
Çizelge 3.1. PLL türleri için gruptama.....	5

SİMGELER VE KISALTMALAR

BPSK	Binary Phase Shift Keying (İkili Faz Kaydırmalı Anahtarlama)
C_i	C_1, C_2, C_3 Capacitors (C_1, C_2, C_3 Kapasiteleri)
CMOS	Complementary Metal Oxide Semiconductor (Tamamlayıcı Metal Oksit Yarı İletken)
CP	Charge Pump (Şarj Pompası)
C_P	Capacitor of Phase Detector (Faz Dedektörü Kapasitesi)
DCO	Digital Controlled Oscillator (Dijital Kontrollü Osilatör)
DFF	D Flip- Flop
FM	Frequency Modulation (Frekans modülasyonu)
GFSK	Gaussian Frequency Shift. Keying (Gauss Frekans Kayması. Anahtarlama)
I_{ALT}	Alt Akım
$I_{ÜST}$	Üst Akım
K_{VCO}	VCO Gain (VCO Kazancı)
LC	inductors (L) and capacitors (C) to form low-pass (düşük geçiş oluşturmak için indüktörler (L) ve kapasitörler (C))
LPF	Low Pass Filter (Alçak Geçirgen Filter)
PD	Phase Detector (Faz Dedektörü)
PFD	Phase/Frequency Detector (Faz/Frekans Dedektörü)
PLL	Faz Kilitli Döngü (Phase Locked Loop)
Q_A	A D Flip Flop Output (A D Flip Flop Çıkışı)
Q_B	B D Flip Flop Output (B D Flip Flop Çıkışı)
QPSK	Quaternary Phase Shift Keying (Kuaterner Faz Kaydırmalı Anahtarlama)
REF	Referans
RF	Radio Frequency (Radyo Frekansı)
R_i	R_1, R_2, R_3 Resistors (R_1, R_2, R_3 Dirençleri)
S_{ALT}	Switch (Alt Anahtar)
SDR	Software Defined Radio (Yazılım Tanımlı Radyo)
$S_{ÜST}$	Switch (Üst Anahtar)
VCO	Voltage Controlled Oscillator (Voltaj Kontrollü Osilatör)
V_{DD}	Drain Voltage (Drain Voltajı)
$Z(s)$	Transpedance Of A Second-Order Passive Loop Filter (İkinci Dereceden Pasif Döngü Filtresinin Transpedansı)
$\Delta\omega$	Phase Difference (Faz Farkı)

1. GİRİŞ

Faz kilitli döngü veya PLL, radyo frekansı ve kablosuz uygulamalarda yaygın bir devre bloğudur. Genellikle PLL olarak bilinen faz kilitli döngü, cep telefonları, radyo yayınları, televizyonlar, Wi-Fi yönlendiriciler, telsizler, profesyonel iletişim sistemleri dahil olmak üzere çok çeşitli kablosuz, radyo ve genel elektrikli cihazlarda bulunabilir ve daha birçok sistemde kullanılabilir. Bir faz detektörü, bir döngü filtresi ve bir voltaj kontrollü osilatör, bir PLL'in (VCO) tipik bileşenleridir. Faz dedektörü, referans sinyali osilatör frekansı ile karşılaştırarak bir hata sinyali üretir. Hata sinyali daha sonra bir döngü filtresinden (tipik olarak bir alçak geçiren filtre) geçirilir ve bu da bir hata voltajı verir. Giriş frekansına kilitlemek için VCO, osilatör frekansını arttırır veya azaltır. Bu, giriş frekansıyla aynı olan bir çıkış frekansının yanı sıra iki sinyal (sıfır olabilir) arasında sabit bir faz kayması ile sonuçlanır. Bir PLL'in geri besleme döngüsünde, referans frekansına tam olarak eşit olandan ziyade katları olan bir çıktı sağlamak için bir frekans bölücü kullanılabilir.

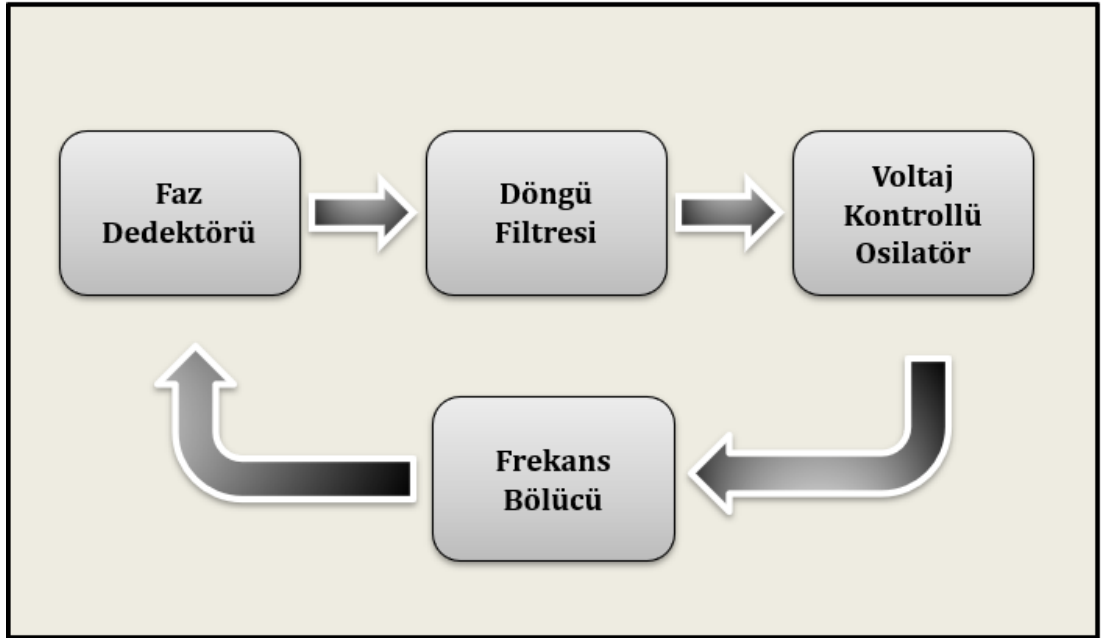
İki sinyal arasındaki faz farkı ve bunu algılama yeteneği, faz kilitli döngü veya PLL'nin çalışması için çok önemlidir. İki sinyal arasındaki faz farkı veya yanlışlığına ilişkin bilgiler daha sonra döngünün frekansını değiştirmek için kullanılır.

Faz ve faz farkı hakkında daha fazla bilgi edinmek için bir osiloskopta görülebilecekleri için, genellikle sinüs dalgaları olarak algılanan iki dalga biçimini görselleştirmek mümkündür. Her iki sinyal içinde tetik aynı anda tetiklenirse, her iki sinyal de ekranda farklı noktalarda görünecektir. Bu çalışmada da bu yöntem ve bu yöntemin farklı uygulamalar ile birlikte kullanımı test edilecektir. Bu testlerin sonuçları anlatılacaktır.

Bu çalışmada ses kaydı kullanılarak sonuçlar gösterilecektir. Simulasyonlarla grafikler elde edilerek sonuçlar alınacak ve anlatılacaktır. Bu çalışmaların faz senkronizasyonu için uygunluğu incelenecektir.

2. LİTERATÜR ÖZETİ

PLL, faz kilitli döngü anlamına gelir ve bir tür servo döngüsüdür. Bir PLL'nin bir radyo frekansı sinyali üzerinde çalışmasına rağmen, tüm temel döngü kararlılığı ve diğer parametreler aynıdır (Şekil 2.1). Bu yaklaşımda, servo döngüleri için geçerli olan aynı mantık, faz kilitli döngülere de uygulanabilir. Faz farkı kavramı bu fikri daha da genişletir. Birçok çalışmada incelenen iki sinyalin tepe ve dip noktaları aynı frekansa sahiptir, ancak aynı noktada değildirler. İki sinyal arasında faz farkı olduğu söylenir. Aralarındaki açı, faz farkını ölçmek için kullanılır. Her iki dalga biçiminde de aynı noktanın oluşturduğu açı olduğu açıktır. Bu durumda sıfır geçiş noktası seçilmiştir, ancak her iki tarafta da aynı olan herhangi bir nokta yeterli olacaktır. Faz farkının bir sonucu olarak iki dalga formu çevrim üzerinde farklı konumlarda olacağından, bu faz farkı bir daire üzerinde de gösterilebilir. Faz farkı, dairenin merkezinden dalga biçiminin gösterildiği yere uzanan iki çizgi arasındaki açı olarak ifade edilir. Tüm PLL tasarım problemlerinin çoğuna Laplace Dönüşümü tekniği ile yaklaşılabılır (NXP, 2006).



Şekil 2.1. Faz kilitli döngü şeması

Rohde ve Schwarz (2016) uygulama notlarında da Faz uyumlu sinyallerin nasıl oluşturulacağı açıklanmaktadır. Test ve ölçüm ekipmanının teknik gereksinimleri

ve önerilen belirli test çözümleri hakkında bazı bilgiler vermektedir. Neler düşünüleceğini ve test kurulumunun nasıl kurulacağını açıklamaktadır. Bu çalışma ayrıca, ayrı kanallar arasındaki bağıl fazlar ve zamanlamanın nasıl kalibre edileceğinin yanı sıra kalibrasyonun ne zaman tekrarlanacağını da açıklar. Bu çalışma aynı zamanda çeşitli RF frekansları için zaman içinde çoklu faz stabilite gözlemlerini de içerir. En önemli prosedürleri ve noktaları özetleyen hızlı bir kılavuzun yanı sıra faz uyumlu sinyaller oluşturmak için farklı ayarları listeleyen bir ek ile sona ermektedir. Buradaki uygulamalardaki bazı bölümlerdeki senkronize etme yöntemleri kullanılmıştır. Ortega (2018) çalışmasında PLL, frekans regülasyonunu uygulamak için kullanılabilen bu senkronizasyonun bir sonucu olarak frekans varyanslarını tahmin edebilir. Ancak PLL'nin birincil amacı frekans tahmini değildir. Şimdiye kadar, frekans kontrolü için en uygun PLL tasarımı, akla gelebilecek birçok PLL uygulaması arasında yeterince tartışılmamıştır. Bu araştırma, bir dizi iyi bilinen PLL mimarisini karşılaştırmaktadır ve yerel frekans değişimlerini tahmin etme yeteneklerini araştırmaktadır. Farklı PLL çeşitlerinin karşılaştırılması açıklanmıştır. Bu çalışmada da bu uygulamaların hem tek hemde çoklu çalışmalarda uygulaması açıklanmıştır.

PLL uygulamasında daha çok farklı faz dedektörleri kullanılarak oluşturulmuştur. Bu dedektörlerin çoklu çalışması ve bu çalışma sonucunda ortaya çıkan sonuçlar grafik ve görsellerle desteklenmiştir. Thabit (2009) çalışmasında SDR'ye dayalı bir döngü kullanan yüksek frekanslı iletişim sistemleri için bir dijital PLL eş zamanlayıcısının tasarımını ve simülasyonunu sağlamaktadır. SDR gerekliliklerini yerine getirmek için, önerilen sistemlerin her birimi için tasarım parametreleri seçilmiştir. Farklı SDR tabanlı taşıyıcı kurtarma yaklaşımları tartışılmaktadır.

PLL en aktif senkronizasyon sistemlerinden biri olduğu için senkronizasyon için seçilmiştir. SDR temelinde, uyumlu alıcılar için BPSK ve QPSK senkronizörleri hem faz döngüsü hem de değiştirilmiş faz döngüsü kullanılarak oluşturulmuş ve simüle edilmiştir. Li (2007) Önemli frekans ve faz mevcut olduğunda, simülasyon sonuçları bu iki sistemin taşıyıcı faz ve frekansı kurtarmada güvenilir olduğunu

göstermektedir. Bu çalışmadaki radyo uygulaması tek tip faz dedektörü ve tekli PLL için bir çalışmadır. Bu çalışmada ise farklı tip faz dedektörlerinin çalışması ve çoklu PLL uygulaması anlatılmıştır. Razavi (1996) çalışmasında Monolitik PLL'lerin analizi ve tasarımı bu çalışmada ele alınmaktadır. Bu çalışmada faz kitleme ile çözülebilecek birkaç tasarım zorluğuna kısa bir bakışın ardından, yeterli bağlam oluşturmak ve terminolojiyi tanımlamak bazı temel ilkeler anlatılmaktadır. Savory (2010) çalışmasında Faz kilitli döngünün basitleştirilmiş bir versiyonunu sunmaktadır. Statik ve dinamik davranışını değerlendirmektedir ve sınırlarını tanımlamaktadır. Neden PLL sorularına cevap verilmektedir. Bu çalışmada ise PLL için uygulamalar ayrıntılı şekilde anlatılmaktadır. Neden PLL ile faz kontrolü ve senkronizasyonu yapıldığı anlatılmaktadır. Ayrıca bu çalışmada PLL türlerinin master-slave ve ortak kaynak yöntemi ile faz senkronizasyonu için sonuçları karşılaştırılacaktır. Giriş için ses kaydı kullanılacaktır. Bu ses kaydı verisinin senkronize olma durumu anlatılacaktır.

3. FAZ KİLİTLİ DÖNGÜ (PLL)

PLL'nin temel kavramları bu bölümde ele alınacaktır. PLL'nin temellerinin gözden geçirilmesi sağlanacaktır. Voltaj kontrollü osilatör (VCO)'nun temelleri ve faz gürültüsü fikirleri ele alınacaktır. PLL'nin en önemli bileşenlerinden biri olan PFD'nin incelemesi yapılacaktır. şarj pompası faz dedektörü (CP), faz frekansı dedektörü (PFD) ve döngü filtrelerinin temelleri ele alınacaktır ve bölümü sona erecektir. Voltaj kontrollü bir osilatör (VCO), lineer bir alçak geçiren filtre (LPF), bir referans osilatör (REF) ve faz dedektörü olarak kullanılan bir analog çarpan, tipik bir analog PLL'yi (PD) oluşturur. Faz dedektörü, VCO sinyalinin fazını referans sinyalinin fazıyla karşılaştırır; PD'nin (hata voltajı) çıkışı, iki giriş arasındaki faz farkıyla orantılıdır. Döngü filtresi daha sonra hatalı voltajı (LPF) filtreler. Filtrenin çıkışı, referans sinyaline uyacak şekilde frekansı ve fazı ayarlayan VCO'nun kontrol girişine verilir (Bianchi, 2015). Çizelge 3.1'de PLL türleri ve sistemlerde kullanılan sistem elemanları çizelge halinde sunulmuştur.

Çizelge 3.1. PLL türleri için gruplama

PLL türleri	Faz dedektörü	Filtre	Osilatör
Lineer PLL	Analog çarpan faz dedektörü	Alt geçiren filtre	VCO
Dijital PLL	XOR faz dedektörü	Alt geçiren filtre	VCO
Şarj pompalı PLL	Faz frekans dedektörü	Şarj pompası ve alt geçiren filtre	VCO
Hep dijital PLL	XOR,Faz frekans dedektörü	Dijital alt geçiren filtre	DCO

Faz kilitli döngü (faz kilitli döngü veya PLL olarak da bilinir), girişiyle aynı faza sahip bir çıkış sinyali üreten bir sistemdir. İki sinyal aynı frekansa veya sabit bir

faz farkına sahip olmaktadır. Bir faz detektörü, bir döngü filtresi ve bir voltaj kontrollü osilatör, bir PLL'nin (VCO) tipik bileşenleridir (Alvarez, 2018). Faz dedektörü, referans sinyali osilatör frekansı ile karşılaştırarak bir hata sinyali üretir. Hata sinyali daha sonra bir döngü filtresinden (tipik olarak bir alçak geçiren filtre) geçirilir ve bu da bir hata voltajı verir. Giriş frekansına kilitlemek için VCO, osilatör frekansını artırır veya azaltır. Bu, giriş frekansı ile aynı olan bir çıkış frekansının yanı sıra iki sinyal (sıfır olabilir) arasında sabit bir faz kayması ile sonuçlanır.

Bir PLL'nin geri besleme döngüsünde, referans frekansına tam olarak eşit olandan ziyade katları olan bir çıktı sağlamak için bir frekans bölücü kullanılabilir. Önerilen PLL dönüştürücü, PLL'nin döngü bant genişliği içinde bir PWM dönüştürücüye benzer şekilde çalışır ve hızlı yük yanıtı için basit bir geri besleme ağını korur. Ayrıca analog PLL'ler veya analog frekans kontrol döngüleri gibi analog analoglarla karşılaştırıldığında, dijital PLL'nin kullanımı üstün gürültü bağışıklığı ve ölçeklenebilirlik sağlar (Li, 2011).

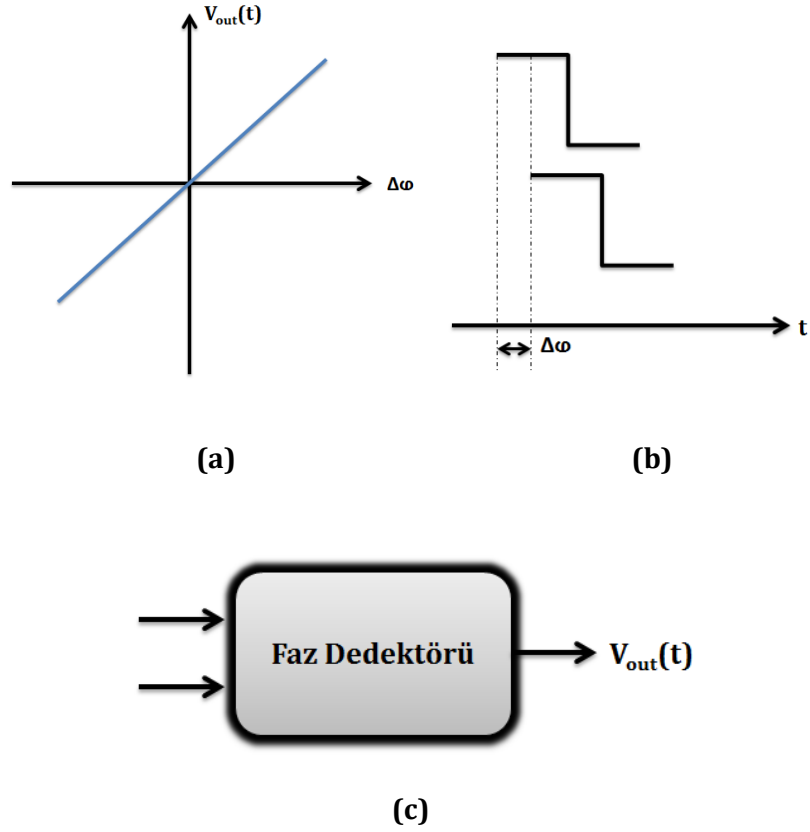
PLL veya faz kilitli döngü, özellikle radyo frekansı uygulamalarında çok değerli bir yapı bileşenidir. PLL, bir darbe dalga biçiminden kararlı bir sürekli taşıyıcının kurtarılmasına izin veren bir tür FM demodülatörü olan dolaylı frekans sentezleyici dahil olmak üzere çeşitli RF sistemlerinde kullanılır. Bu yaklaşımda, faz kilitli döngü veya PLL, RF tasarımında önemli bir araçtır.

3.1. Faz Dedektörü

Faza duyarlı dedektör, iki sinyal arasında faz algılamanın gerekli olduğu çeşitli devrelerde kullanılabilir. Faz kilitli döngüler içinde, tek olmaktan uzak olsa da, faz dedektörleri için en yaygın uygulamalardan biridir. Giriş sinyallerinin faz farkı sonucu çıkış sinyalinin oluşturulması ideal bir faz dedektörünün çalışması olarak tanımlanır. İdeal bir faz dedektörünün özellikleri sunulmuştur (Şekil.3.1).

Denklem 3.1, faz dedektörü özelliğini verir.

$$V_{out}(t) = K_{PD}\Delta\phi \quad (3.1)$$



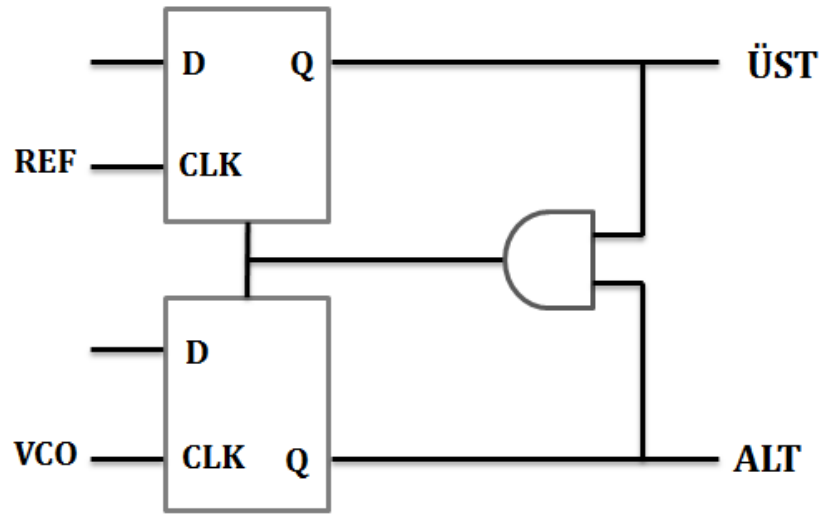
Şekil 3.1. (a) Faz dedektörü çıkış voltajı V_{out} , (b) faz farkı, (c) faz dedektörü

Faz dedektörünün etrafına bir faz kilitli döngü veya PLL inşa edilmiştir. Eylemi, döngüdeki faz değişimlerinin tespit edilmesini ve sonuç olarak bir hata voltajının üretilmesini sağlar.

Faz dedektörleri olarak kullanılabilecek, bazıları analog teknikleri kullanan ve diğerleri dijital devre kullanan birkaç farklı devre vardır. Ancak en önemli ayrım, faz dedektörünün sadece faza mı yoksa hem frekansa hem de faza duyarlı olup olmadığıdır.

3.1.1. Faz-frekans dedektörü (PFD)

VCO'nun frekansı artırılacak veya azaltılacaksa, Faz-Frekans Dedektörü (PFD), referans saat ile voltaj kontrollü osilatör (VCO) saati arasındaki faz veya frekans farkını algılar ve çıkış sinyalleri oluşturur. Şarj Pompası (CP), döngü filtre kapasitörünün içine veya dışına enjekte edilen akım miktarını kontrol eden PFD tarafından kontrol edilir. D girişleri "1" mantığına bağlı iki kenar tetiklemeli, sıfırlanabilir D Flip-Flop (DFF), PFD'yi oluşturur (Şekil 3.2).



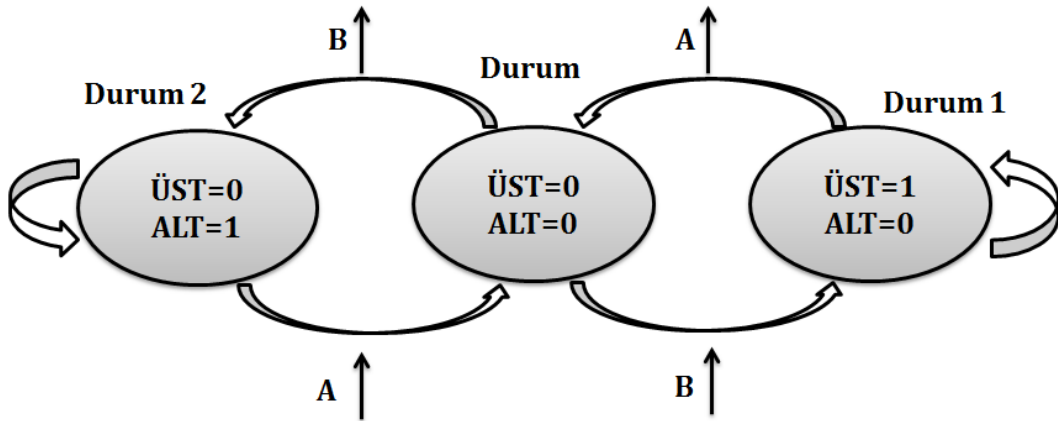
Şekil 3.2. Faz-frekans dedektörü

DFF'lerin iki giriş saati sinyali vardır: referans saati (REF) ve VCO çıkış saati. Bu DFF'ler, kenar tetiklemeli oldukları için giriş sinyallerinin görev döngüsünden etkilenmez. PFD'nin duyarlılığı, PFD'nin algılayabileceği ve şarj pompasını etkileyecek YUKARI veya AŞAĞI sinyalleri üretebileceği en küçük farkı ifade eder; bu nedenle, hassasiyet ne kadar yüksek olursa, PFD o kadar iyi olur.

Ölü bölge, PFD'nin dezavantajlarından biridir. Ölü bölge, bir PFD'nin algılayamadığı girişlerin fazındaki küçük bir farktır. Ölü bölgeye, mantık bileşenlerinin gecikme süresi ve flip flopların geri besleme yolunun geri kalanı neden olur (Sabbagh, 2007). Giriş sinyalleri yükselen bir kenara sahip olduğunda

DFF'ler bir durumdan diğerine geçer. REF sinyalinin frekansı daha yüksek olduğunda, ÜST sinyali VCO frekansını yükseltmek için yükselir.

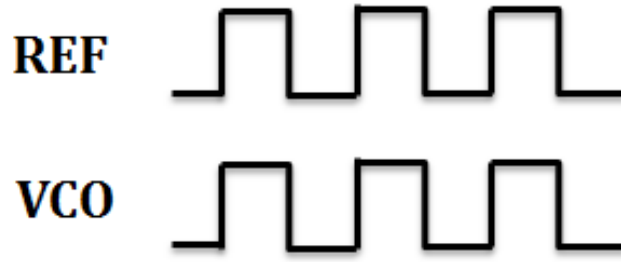
Benzer şekilde, VCO daha büyük bir frekansa sahipse, ALT sinyali yükselir. PFD işlemini gösteren bir durum diyagramı aşağıda gösterilmektedir (Şekil 3.3). PFD çalışma prensibi, PFD'nin başlangıçta REF ve VCO girişlerinin "0" olarak ayarlandığı Durum-0'da olduğu varsayılarak tartışılmaktadır (El-Halwagy, 2017).



Şekil 3.3. Durum şeması

REF giriş frekansı VCO'dan yüksekse, prosedür Şekil 4'da gösterildiği gibi başlar. Durum-0 sırasında, REF (A) yükselen kenarı, bağlı olduğu DFF'yi tetikler.

DFF'nin veri (D) girişleri "1"e bağlanır, dolayısıyla YUKARI "1"e çevrilir. Belirli bir süre sonra, VCO'nun (B) yükselen kenarı, REF ve VCO arasındaki faz farkına bağlı olarak ikinci DFF'yi etkinleştirir. DN daha sonra "0"dan "1"e değişir. AND geçidinin her iki girişi de bu anda "1"dir ve AND geçidinin çıkışı DFF sıfırlama sinyalini etkinleştiren "1"dir. PFD'nin sıfırlama sinyali DFF'leri sıfırlar ve her iki DFF'nin çıkışları da "0"a döner. İdeal bir dünyada, DN sinyali asla "1" olmamalıdır. Ancak AND gecikmesinden dolayı, sıfırlama sinyalinin yayılması sınırlı bir süre alacaktır. Sonuç olarak, DN sinyali çok kısa bir süre için "1" olarak görünecektir (Şekil 3.4). VCO, REF'den daha hızlı ancak ters yönde ise aynı işlem uygulanır.



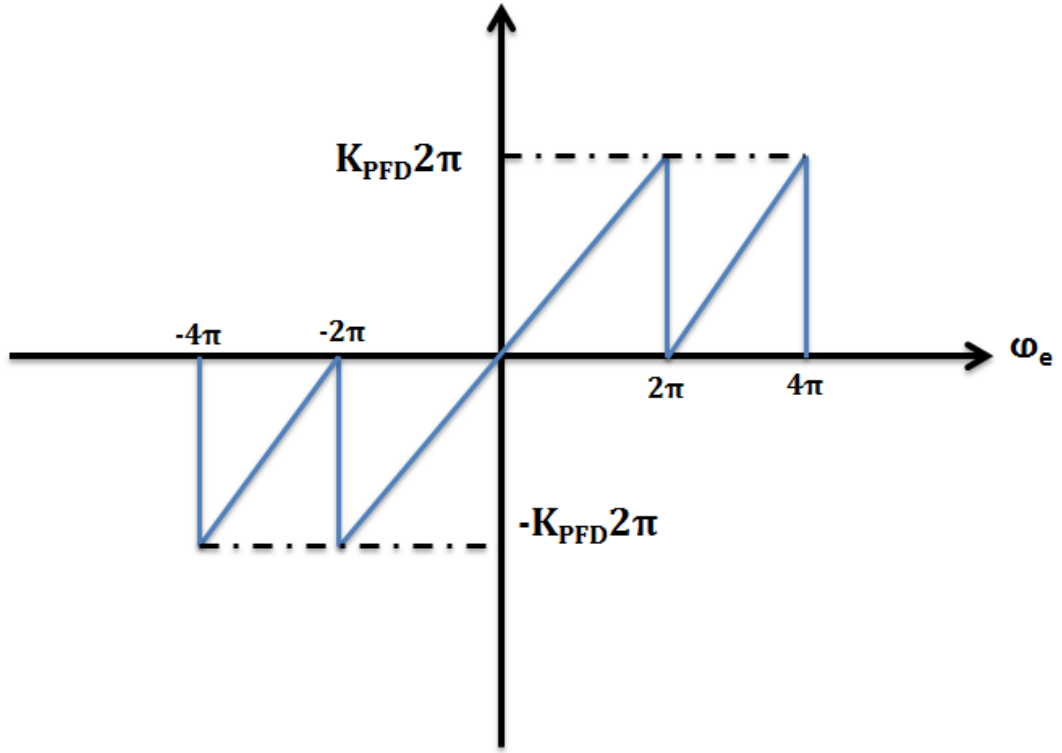
Şekil 3.4. Kilitlenen faz kilitli döngü işlemi

PFD, hem VCO hem de REF aynı frekansa sahipse yalnızca kısa darbeler yayacaktır. DFF'leri sıfırlamak için gereken süre, çoğunlukla sıfırlama yolunun gecikmesi ile belirlenir. Minimum darbe genişliği, PFD çıkışındaki kısa darbelerin genişliği olarak tanımlanır (Şekil 3.5). Minimum darbe genişliğini artırmak için AND geçidine seri olarak ek invertörler eklenebilir. Sonuç olarak, sıfırlama sinyali daha uzun süre aktif kalır ve PFD daha uzun süre sıfır durumunda kalır.

Bu PFD, gelen sinyallerin fazlarını karşılaştırarak frekans farklarını bulur. Giriş sinyallerinin saat kenarları faz farklılıklarını algılar. Bunun bir sonucu olarak PFD'nin çıkış karakteristiği Şekil 6'de gösterilmektedir. 0 Volt ortalama, 4.0 derecelik bir faz farkına eşittir. Faz farkı 2'ye yakınsa, PFD çıkışı 0V ile VDD arasındaysa çıkış VDD'ye ulaşacaktır.

Bir PFD'nin kazancı şu şekilde tanımlanır.

$$K_{PFD} = \frac{VDD}{2\pi} \quad (3.2)$$

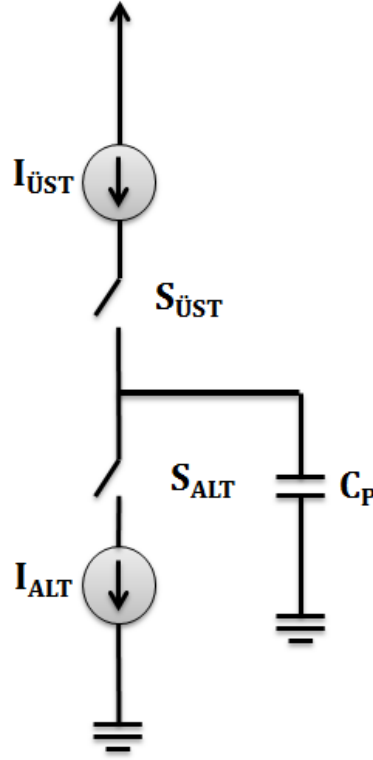


Şekil 3.5. PFD özelliği

3.1.2. Şarj pompası faz kilitli döngü

Faz kilitli döngüler (PLL'ler), frekansı bir giriş sinyalinin frekansına (referans, Ref) otomatik olarak ayarlarken bir elektrik sinyali (voltage) üreten elektronik devrelerdir. Saat sinyallerinin frekans sentezi ve senkronizasyonu için, dijital sistemlerde yaygın olarak faz-frekans dedektörlü (Şarj pompası PLL, CP-PLL, CPLL) şarj pompası faz kilitli döngü kullanılır. CP-PLL, gelen sinyalin fazına hızla kilitlenebilir, bu da kararlı durum faz hatasının azalmasına neden olur. Kilitli bir durumun elde edilebileceği osilatör frekansları arasındaki sapma aralıklarının tahmini, kilitli durumların kararlılık çalışmaları ve olası geçici süreçlerin incelenmesi, PLL tasarımının önemli yönleridir. Referans saat ile dahili VCO saati arasındaki faz ve frekans farkları, bir PLL frekans sentezleyicideki PFD rolü tarafından tespit edilir. Bölünmüş VCO çıkışı referanstan farklıysa, sentezleyici açılır açılmaz kilitsiz duruma geçer (Keykhali, 2016).

PFD, döngü filtresi kapasitörüne yük ekleyen ve buradan yük kaldıran akım darbeleri üreten şarj pompasını (CP) çalıştırır. Temel bir şarj pompası konseptini aşağıda gösterilmiştir. (Şekil 3.6).

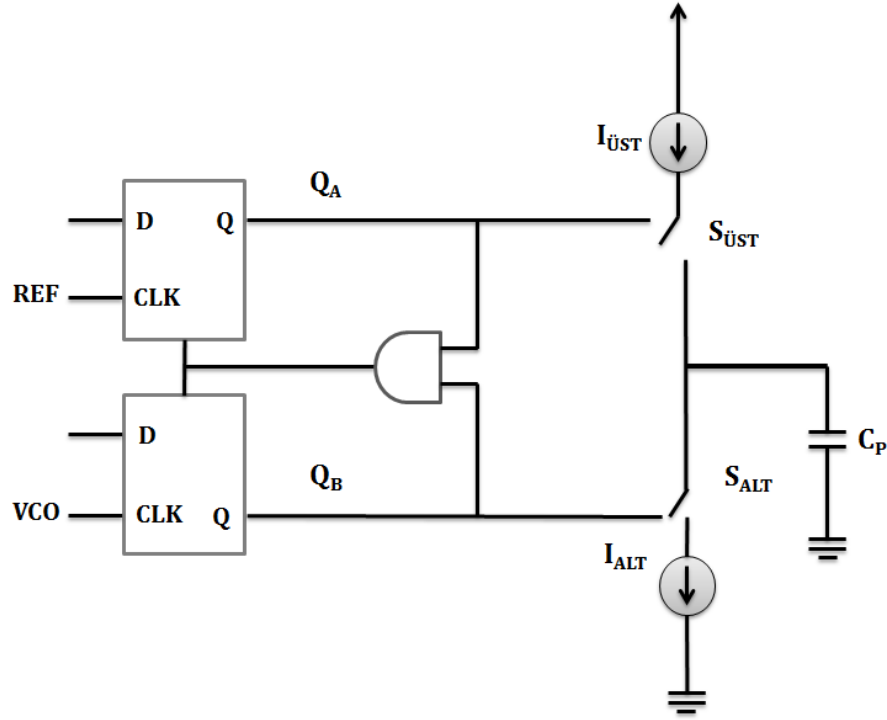


Şekil 3.6. Şarj pompası gösterimi

Şarj pompası kaynağı ve döngü akımları eşittir ve sırasıyla $I_{\text{ÜST}}$ ve I_{ALT} olarak adlandırılır. $I_{\text{ÜST}}$ ve I_{ALT} , C_P kondansatöründeki voltajı değiştirmek için $S_{\text{ÜST}}$ ve S_{ALT} anahtarları aracılığıyla döngü filtre kondansatörüne ve kondansatörden yönlendirilir. Hem YUKARI hem de AŞAĞI sinyalleri düşük olduğunda, $S_{\text{ÜST}}$ ve S_{ALT} anahtarları açıktır ve döngü filtresine akım akmaz, bu da sabit bir voltaj ile sonuçlanır (Wagdy, 2006).

Herhangi bir şarj pompası çıkış voltajında, şarj/deşarj akımı aynıdır. Çıkış düğümünde, minimum şarj enjeksiyonu ve geçiş (anahtarlama nedeniyle) vardır. MOS, kapalı konumda anahtarlar ve çıkış düğümü ile herhangi bir kayan düğüm arasında minimum yük paylaşımına neden olur.

Bir PFD, şarj pompasını çalıştırır. PFD, şarj pompasının anahtarlarını kontrol ederek PFD'nin çıkış voltajını akıma dönüştürür. PFD, Şarj pompasını, faz A önde gelen faz B ile çalıştırıyor (Şekil 3.7). PFD, bu senaryoda ALT sinyallerinden daha uzun ÜST sinyalleri üretir ve C_P kondansatöründeki voltaj yükselir.



Şekil 3.7. Faz frekans dedektörü ve şarj pompası bağlantısı

PFD, şarj pompasına çıkış kapasitörünü şarj etmesini söylediğinde, üzerindeki voltaj her döngüde yükselir. Benzer şekilde, faz farkı aynı ancak zıt ise, voltaj aynı eğimle düşer. Her iki anahtar da açıksa, kapasitör üzerindeki voltaj değişmeden kalır.

PLL amaçlanan frekansa kilitlendiğinde referans saat ile bölünmüş saat arasındaki faz farkı sıfırdır. Sonuç olarak, Q_A ve Q_B çıkışları, minimum darbe genişliğiyle aynı olmalıdır. Faz farkı az ise ilgili çıkışın darbe genişliği minimum darbe genişliğine yakındır. Sonlu kapı kapasitansları nedeniyle, MOSFET'ler, drenaj ve kaynak arasında akan akımı başlatmak için kapılarında minimum bir mantık "1" periyodu gerektirir. PFD'nin darbe genişliği, şarj pompasındaki

anahtarları açmak için yeterince uzun değilse, küçük faz farklılıkları şarj pompaları tarafından ele alınamaz.

Ölü bölge, şarj pompasının doğrusal olmayan davranışıdır. PFD çıkışının darbe genişliği, PFD sıfırlama gecikmesini artırarak ölü bölgeyle başa çıkmak için genişletilmelidir. Gecikme bileşenleri olarak invertörler kullanılarak, PFD'nin sıfırlama devresindeki gecikme artırılabilir, bu da şarj pompası anahtarlarının iletme geçmesine izin verir. Sonuç olarak, şarj pompaları küçük faz farklılıklarını bile algılayabilir. Minimum darbe genişliğinin arttırılması ise, şarj pompasının kısa devre yapmasına neden olarak, her iki anahtarın da akım iletmesine ve çıkış kapasitör C_P 'yi çevreleyen voltajı bozmasına neden olur. Döngü filtresi bu bozulmayı azaltabileceğinden, minimum darbe genişliğini arttırmak ölü bölgeyi ortadan kaldırmak için uygun bir seçenektir. Önemli olan, minimum darbe genişliğini ölü bölgeleri ortadan kaldıracak kadar uzun ancak uyumsuzluktan kaynaklanan faz hatalarını önlemek için çok uzun olmayacak şekilde ayarlamaktır.

Döngünün VCO'da faz hatası varsa, $I_{CP}/2$ 'lik bir ortalama şarj pompası akımı oluşturulur.

VCO kontrol voltajı aşağıdaki denklem kullanılarak değiştirilebilir.

$$\Phi_e = \Phi_{in} - \Phi_{vco} \quad (3.3)$$

$$V_{drl}(s) = \frac{I\Phi_e}{2\pi} \left(R + \frac{1}{C_{PS}} \right) \quad (3.4)$$

Sonuç olarak, kapalı döngü transfer fonksiyonu aşağıdaki formül kullanılarak belirlenebilir:

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_P} (R_P C_P s + 1)}{s^2 + \frac{I_P}{2\pi} \frac{K_{VCO}}{N} R_P s + \frac{I_P}{2\pi C_P} \frac{K_{VCO}}{N}} \quad (3.5)$$

Yukarıda belirtilen denkleme dayalı olarak ω_n ve ζ için değerler aşağıdadır:

$$\omega_n = \sqrt{\frac{I_P}{2\pi C_P} \frac{K_{VCO}}{N}} \quad (3.6)$$

$$\zeta = \frac{R_P}{2} \sqrt{\frac{I_P C_P K_{VCO}}{2\pi N}} \quad (3.7)$$

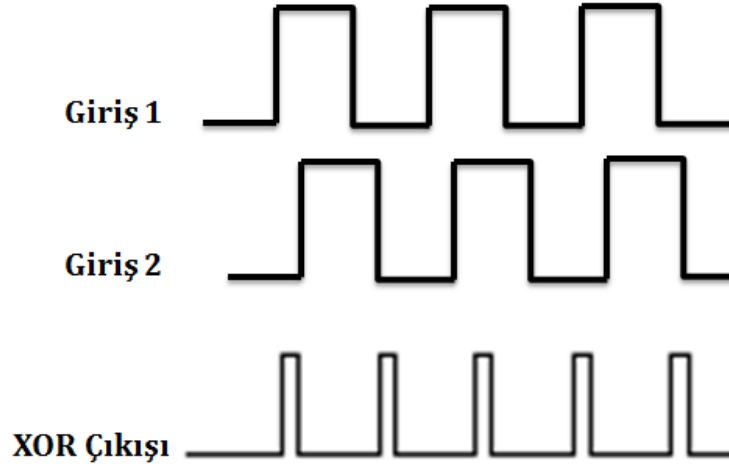
3.2. XOR Faz Dedektörü

Faz doğrudan görülemez. Faz farkı, osilatörlerin çıkışından çıkarılmalıdır. Bir faz dedektörü olarak bir XOR geçidi kullanılabilir. Genel XOR kapısı aşağıda gösterilmiştir (Şekil 3.8).



Şekil 3.8. XOR faz dedektörü gösterimi

Özel uygulamalar için, özel OR, XOR faz dedektör devresi çok kullanışlı bir temel faz dedektörü sağlayabilir. İçinde mantığa özel XOR devresi vardır. Dijital olduğu için, faz kilitli döngü devrelerinin çoğu zaten dijital olduğundan, tipik olarak bir faz kilitli döngüye kolaylıkla sığabilir. Daha geniş bir seviye yelpazesi ve diğer seçenekler sağlamak için ayrı bileşenlerden özelde oluşturulabilir.

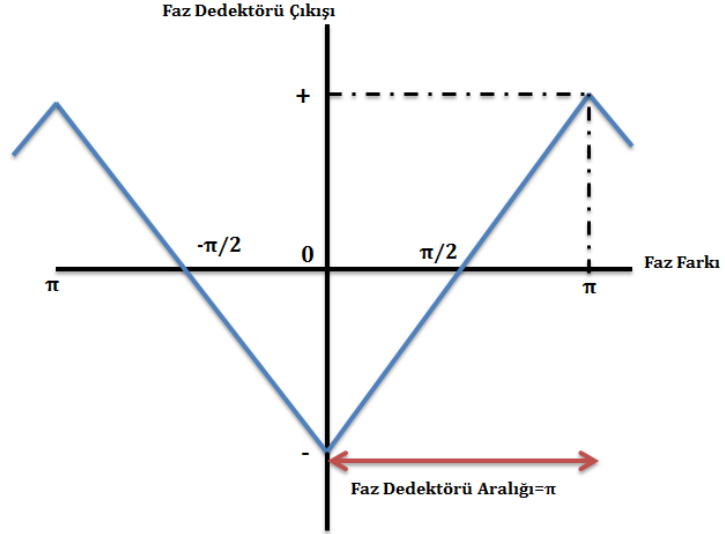


Şekil 3.9. XOR faz dedektörü yanıt dalga biçimleri

Bu dalga formları ile XOR mantık geçidinin basit ama etkili bir faz dedektörü olarak kullanılabileceği görülebilir (Şekil 3.9).

Böyle basit bir devre için düşünülebileceği gibi, bir XOR faz dedektörü kullanmanın birkaç sınırlaması vardır:

- Saat görev döngüsü, faz dedektörünü etkiler. Bu, sabit bir görev döngüsünün kullanılmasını gerektirir, yani 1:1. Giriş görev çevrimleri %50 değilse, faz hatası ile kilitlenir.
- XOR faz dedektörünün çıkış karakteristiği, tekrarları ve kazanç değişikliklerini gösterir. Bu, giriş referansı ve PLL geri besleme sinyallerinin bir frekans farkı varsa, faz dedektörünün kazanç alanları arasında sıçrayabileceği anlamına gelir.
- Bir XOR faz dedektörü ile nominal kilit noktası da 90° statik faz kaydırma noktasındadır (Şekil 3.10).



Şekil 3.10. XOR faz dedektörü yanıt dalga biçimleri

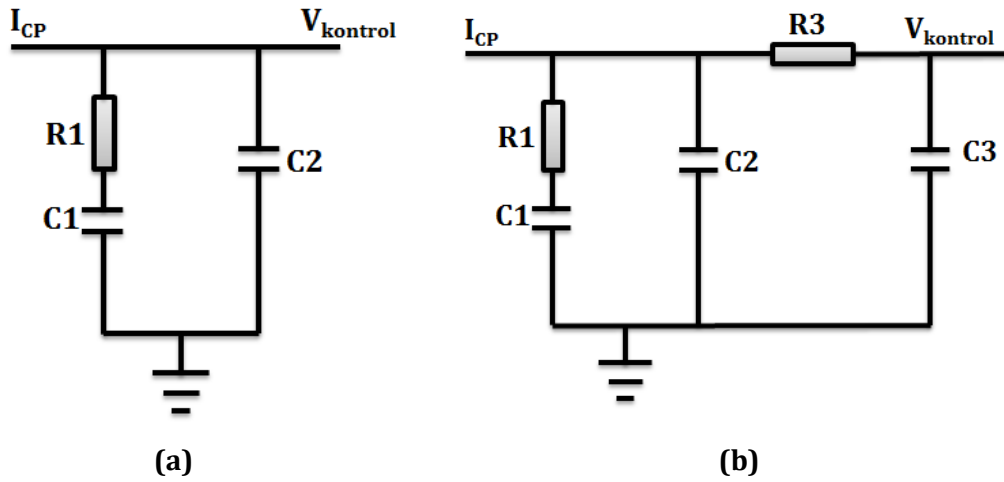
3.3. Alçak Geçirgen Döngü Filtresi

VCO'lar normalde bir akımdan ziyade bir voltaj tarafından kontrol edilir. Bir şarj pompası PLL'de döngü filtresinin görevi, şarj pompasının çıkış akımını VCO kontrol voltajına dönüştürmektir. Darbeler VCO'ya gönderilmemesi gerektiğinden düşük geçişli filtreleme de gereklidir. Döngü filtre tasarımı, döngü bant genişliği, yerleşme süresi ve faz gürültüsü gibi bir PLL'nin en kritik özellikleri üzerinde önemli bir etkiye sahiptir.

Döngü filtresi, bir PLL'nin kilitleme özelliklerini belirler. Döngü filtresi düzgün şekilde oluşturulmamışsa, girişteki küçük değişiklikler için bile PLL'nin kilitlenmesi veya kilitlenmesi makul olmayan bir süre alabilir. Tipik olarak, birinci veya ikinci dereceden bir pasif RC döngü filtresi kullanılır. Aktif filtreler, saat kaçıklığının azaltılması gereken durumlarda da kullanılabilir (Narayanan, 2005).

3.3.1. Pasif Döngü Filtresi

Döngü filtresi, aktif bir döngü filtresi oluşturmak için yalnızca pasif parçalar veya işlemsel bir yükseltici kullanılarak uygulanabilir. Satın alınabilirliği, basitliği ve bant içi faz gürültüsü nedeniyle, pasif filtreler genellikle aktif filtrelere tercih edilir. Çoğu pasif döngü filtresi ikinci veya üçüncü derecedendir (Şekil 3.11).



Gerekli kapasitör değerleri VCO giriş kapasitansına kıyasla çok küçük büyüdüğünden, daha yüksek dereceli filtreler sıklıkla gereksiz yere karmaşık hale gelir. İkinci dereceden pasif döngü filtresinin transpedansı şu şekilde verilir:

$$Z(s) = \frac{1 + sC_1R_1}{s(C_1 + C_2)(1 + sC_tR_1)} \quad C_t = \frac{C_1C_2}{C_1 + C_2} \quad (3.8)$$

Basit ikinci dereceden pasif filtre, bir seri direnç ve bir şönt kapasitör eklenerek üçüncü dereceden bir pasif filtreye dönüştürülür. Yüksek frekans bölgesinde, ek kutup, gürültüyü ve mahmuzları azaltmaya yardımcı olur. Fraksiyonel-N PLL'de bant dışı fraksiyonel mahmuzları bastırmak için bu son derece önemlidir.

Üçüncü dereceden pasif döngü filtresinin transpedansı şu şekilde sağlanır:

$$Z(s) = \frac{1 + sT_1}{sC_t(1 + sT_2)(1 + sT_3)} \quad (3.9)$$

$$T_1 = C_1 R_1, C_t = C_1 + C_2 + C_3, T_2 = \frac{R_1 C_1 C_2}{C_1} \quad (3.10)$$

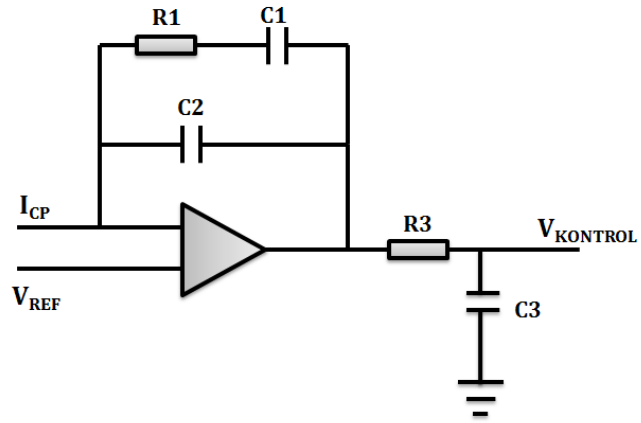
$$T_3 \approx R_3 C_3, C_1 \gg C_2, C_3, \frac{C_2}{C_3} \gg 1 - \frac{T_3}{T_1} \quad (3.11)$$

3.3.2. Aktif döngü filtresi

VCO, şarj pompasının sağlayabileceğinden daha yüksek bir ayar voltajı gerektirdiğinde, sıklıkla aktif bir döngü filtresi kullanılır. Opamp'ın dahil edilmesi, şarj pompasının çıkış voltajının tutarlı kalmasını sağlamanın ekstra yararına sahiptir. Sonuç olarak, şarj pompasının raydan raya voltajların yakınında çalışması gerekmez ve akım uyumsuzluğu azalır. Aktif bileşenler, ek gürültü sağlayarak her zaman PLL bant içi faz gürültüsüne katkıda bulunur. Mahmuz bastırma gerekli olmasa bile, ekstra opamp gürültüsünü azaltmak için üçüncü veya daha yüksek dereceden bir aktif filtre kullanılması tavsiye edilir. Üçüncü dereceden bir aktif döngü filtresini göstermektedir (Şekil 3.12). İkinci dereceden düşük geçişli filtre özellikleri, opampın geri besleme kanalı tarafından sağlanır ve opamp çıkışına ek bir kutup eklenir. Filtre transfer fonksiyonu şu şekilde hesaplanır:

$$Z(s) = \frac{1 + sT_1}{sC_t(1 + sT_2)(1 + sT_3)} \quad (3.12)$$

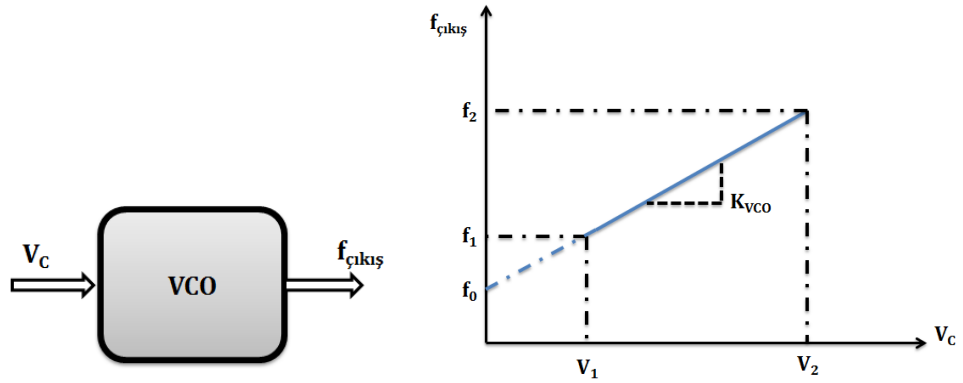
$$T_1 = C_1 R_1, C_t = C_1 + C_2, T_2 = \frac{R_1 C_1 C_2}{C_t}, T_3 = R_3 C_3 \quad (3.13)$$



Şekil 3.12. Üçüncü dereceden aktif filtre

3.4. Voltaj Kontrollü Osilatör

Voltaj kontrollü osilatör (VCO), faz kilitli döngü (PLL) sistemlerinin kritik bir bileşenidir. Kendisine uygulanan kontrol voltajının lineer bir fonksiyonu olan bir çıkış frekansına sahip olan ideal bir VCO'yu göstermektedir (Şekil 3.13).



Şekil 3.13. Voltaj kontrollü osilatör gösterimi

Burada f_0 , $V_c = 0$ 'a karşılık gelen çıkış frekansıdır ve K_{vco} , VCO kazancıdır. VCO'nun ayar aralığı, ulaşılabilir çıkış frekansı aralığıdır, $f_2 - f_1$. VCO'nun temel performans parametreleri aşağıdaki gibidir:

$$f_{out} = f_0 + K_{vco} V_c \quad (3.14)$$

Merkez frekansı, maksimum ve minimum frekanslar $\frac{f_1+f_2}{2}$ arasındaki orta noktadır. Kazanç K_{vco} , ayar aralığı gereksinimini karşılayacak kadar büyük olmalıdır. Giriş kontrol voltajındaki herhangi bir gürültü ise çıkış fazında ve frekansında değişikliklere neden olur. Çıkış frekansındaki gürültü, belirli bir gürültü genliği için K_{vco} ile orantılıdır. Sonuç olarak, V_c 'deki gürültünün etkisini azaltmak için, ihtiyaç duyulan ayar aralığıyla doğrudan çelişen bir kısıtlama olan K_{vco} 'nun azaltılması gerekir. Genelliği kaybetmeden, karşılık gelen b fazı bir tam sayıya ulaştığında VCO ve referans sinyallerinin arka kenarlarının oluştuğunu varsayılmıştır (Gardner, 1980).

Ayar aralığı İki parametre, gerekli ayar aralığını tanımlar: (1) VCO merkez frekansının proses ve sıcaklıkla değişimi ve (2) uygulama için gereken frekans aralığı. Çıkış genliği Büyük bir çıkış salınım genliği elde etmek, böylece dalga biçimini gürültüye karşı daha az duyarlı hale getirmek arzu edilir. Genlik, güç kaybı, besleme voltajı ve hatta bazı durumlarda ayar aralığı ile değişir. Ayrıca, genlik ayar aralığı boyunca değişebilir, bu istenmeyen bir etkidir.

Doğrusallık ayarı Doğrusal olmama, gerçekçi VCO'ların ayar özelliklerinde yaygındır, yani K_{vco} bir sabit değildir. PLL'lerin oturma davranışı, belirli frekans aralıkları için yüksek hassasiyetle sonuçlanan bu tür doğrusal olmama nedeniyle zarar görür. Sonuç olarak, ayar aralığında K_{vco} 'yu mümkün olduğunca tutarlı tutmak önemlidir. Enerjinin Dağılımı Osilatörler, diğer analog devreler gibi, hız, güç kaybı ve gürültü arasında değiş tokuşlarla karşı karşıyadır.

Çıkış sinyalinin saflığı Bir VCO'nun çıkış dalga biçimi, gürültüsüz bir giriş kontrol voltajıyla bile tam olarak periyodik değildir. VCO'nun cihazlarından gelen elektronik gürültü ve ayrıca besleme gürültüsü, çıkış fazında ve frekansta gürültüye neden olur. Besleme reddi ve ortak mod Osilatörler, özellikle tek uçlu bir yapıda uygulandıklarında ortak mod gürültüsüne karşı özellikle hassastır. Arz hassasiyeti diferansiyel osilatörlerde de görülebilir. VCO'lar, günümüzün karma sinyal IC'lerinde, alt tabaka aracılığıyla VCO'ya gürültü ekleyen gürültülü dijital

devrelerle sıklıkla çevrilidir. Sonuç olarak, hem salınım sinyali hem de giriş kontrol sinyali için farklı yollar tercih edilir.

Yüksek kaliteli bir VCO için yüksek spektrum saflığı, lineer voltaj-frekans transfer özelliği ve güç kaynağı ve sıcaklık değişimi için iyi frekans kararlılığı gereklidir. Düşük güç tüketimi ve düşük üretim maliyeti, özellikle dijital kablosuz uygulamalarda kullanılan VCO'lar için kritik öneme sahiptir. Yüksek hızlı dijital arabirimler gibi belirli uygulamalarda yüksek ve geniş ayar aralığı gerekebilir. Birincisi halka osilatör tabanlı VCO, ikincisi ise günümüzün CMOS PLL tasarımlarında sıklıkla kullanılan LC osilatör tabanlı VCO'dur. Her çeşidin kendi avantajları ve dezavantajları vardır. LC VCO'lar daha iyi faz gürültüsü performansı sağlar, ancak genellikle çok fazla silikon alanı kaplayan çip üzerinde indüktörler gerektirirler.

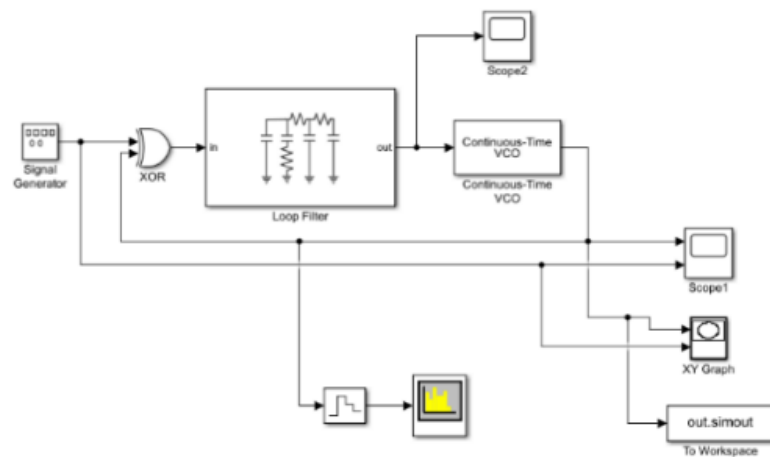
Halka VCO'lar küçüktür ve geniş bir aralıkta ayarlanması kolaydır, ancak aynı güç tüketimi için genellikle LC VCO'lardan daha fazla faz gürültüsüne sahiptirler.

4. FAZ KİLİTLİ DÖNGÜ MATLAB-SİMULİNK UYGULAMASI

Öncelikle bu bölümde tüm PLL uygulamalarının tekli hali MATLAB-Simulink ile oluşturulmuştur. Tekli çalışma durumları analiz edildikten sonra senkronizasyon yöntemlerine uygulama için hazırlanmıştır. Girişte belirtildiği gibi, senkronizasyon, modern dijital telekomünikasyonda kritik öneme sahiptir ve ağ sağlayıcısı tarafından müşterilerine sağlanan hizmetlerin çoğunun kalitesini belirler. Bu amaçla birçok farklı senkronizasyon stratejisi önerilmiştir (Bregni, 1998). Bu sorunu önlemeye yönelik bir yaklaşım, faz dedektörünün çıkışında yüksek frekanslı salınımlara sahip olmayan iki fazlı PLL modifikasyonlarını kullanmaktır.

4.1. XOR Faz Dedektörü ile PLL Uygulaması

1="+1" ve 0="-1" mantığı varsayarsak, ortalama çıktı 0 olduğunda XOR PD kilitlenir. Genel olarak, $\pi/2$ sabit bir kilit noktasıdır ve $-\pi/2$ yarı kararlı bir noktadır. Saate duyarlı görev döngüsü. XOR faz dedektörü kullanılarak oluşturulan Simulink şeması aşağıdadır. PLL uygulamasının önemli bileşenleri olan detektör, filtre ve VCO bağlantıları sağlanmıştır (Şekil 4.1). İlk deneme için giriş için sinyal jeneratörü seçilmiştir. Osiloskop çıktıları kontrol edilmiştir.



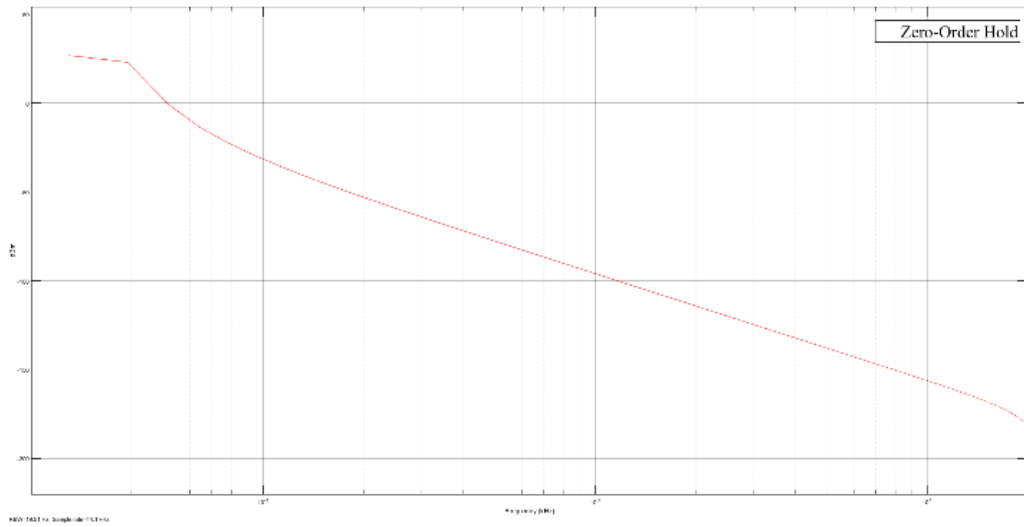
Şekil 4.1. XOR faz dedektörü ile kilitli döngü gösterimi

Bir PLL oluřtururken dikkate alınması gereken ok sayıda zellik vardır. R ve N sayalarının yanı sıra n lekleyici ayarları, giriř RF frekans aralıėı ve kanal aralıėı tarafından belirlenir.

Frekans ve faz kilitleme sresi, dng bant geniřliėi tarafından belirlenir. PLL negatif bir geri besleme dngs olduėundan, faz marjı ve kararlılık zorlukları dikkate alınmalıdır.

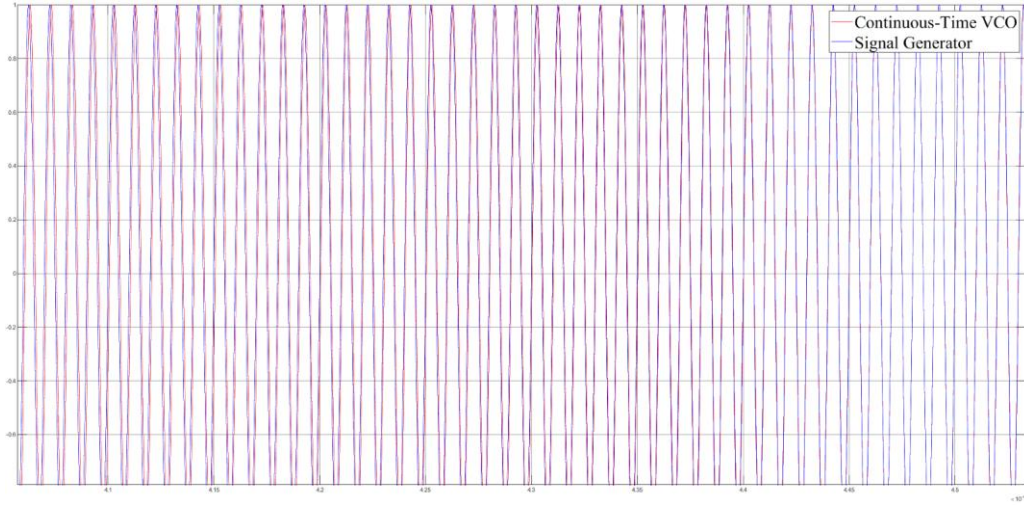
Faz grlts ve referansla ilgili mahmuzların seviyesi, PLL ıkıřının spektral saflıėını belirler. Bu parametrelerin oėu etkileřimlidir; rneėin, daha kk dng bant geniřliėi, faz grltsn ve referans mahmuzları azaltır, ancak daha uzun kilitleme sreleri ve daha az faz marjı pahasına gelir (Analog Devices, 2009).

Bu sistemin G Spektral Yoėunluk Tahmini grafiėi verilmiřtir (řekil 4.2).



řekil 4.2. XOR faz dedektr iin g spektral yoėunluk tahmini

XOR Faz dedektörü ile oluşturulmuş sistemin osiloskop çıktısında olduğu gibi faz senkronizasyonunun sağlandığı gözlemlenmiştir. (Şekil 4.3)



Şekil 4.3. XOR faz dedektörü ile kilitli döngü gösterimi

4.2. Faz/Frekans Dedektörü ve Şarj Pompası ile PLL Uygulaması

Bu PFD, giriş sinyallerinin fazlarını karşılaştırarak frekans değişimlerini tespit eder. Gelen sinyallerin saat kenarları tarafından bir faz farkı algılanır. Bu şarj pompası, PFD çıkışına bağlı olarak döngü filtresinin içine veya dışına şarj pompalayan iki anahtarlama akım kaynağından oluşur. PFD, geri besleme sinyali referanstan önce geldiğinde referans frekansında yükselen bir kenar tespit eder ve bir YUKARI sinyali yayar (Kailuke ve Agrawal, 2014). Şarj pompası, faz dedektörü tarafından üretilen kontrol darbeleriyle çalıştırılır (genellikle YUKARI ve AŞAĞI olarak adlandırılır).

YUKARI ve AŞAĞI darbelerinin genişliği, referans girişi ile dahili VCO'dan türetilen sinyal arasındaki faz farkı tarafından belirlenir. PFD için ayrıntılı Simulink diyagramlarını göstermektedir (Şekil 4.4). Bu tasarımda PFD ve şarj pompası kullanılmıştır. VCO sürekli modda kuruldu.

5. FAZ KİLİTLİ DÖNGÜ SENKRONİZASYONU

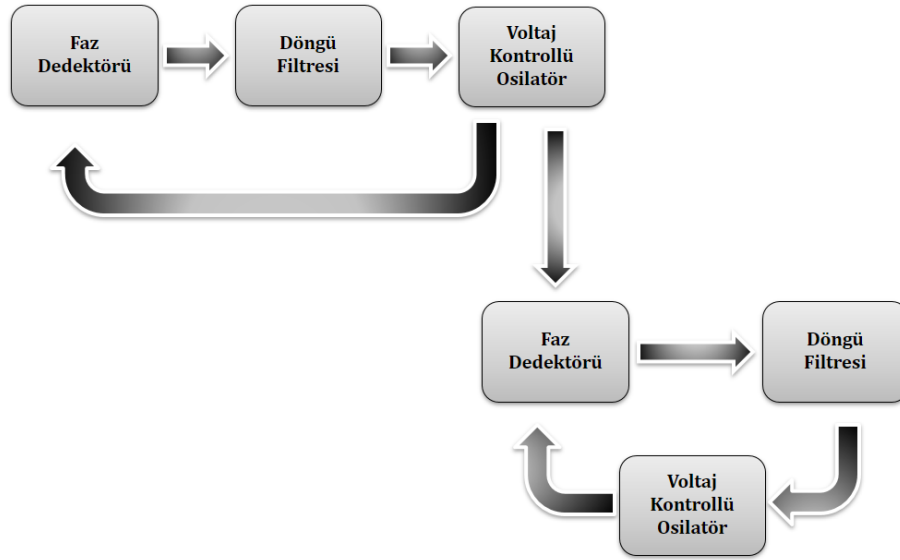
Faz kilitli döngüler (PLL'ler), frekans ve faz bilgilerini almanın tek yolu olduklarından, herhangi bir telekomünikasyon ekipmanında veya ağda neredeyse gerekli hale geldi. PLL, yoğun iletişim ağları, akıllı şebekeler, elektronik aletler, hesaplama kümeleri ve entegre devreler dahil olmak üzere teknoloji ilerledikçe çeşitli uygulamalarda ortaya çıktı.

Yalıtılmış veya ağ bağlantılı PLL'ler, tüm bu senaryolarda doğru zaman esasını almaktan ve işlemleri senkronize etmekten sorumludur (Wendt, 1943). Uygulama gereksinimlerine göre farklı saat dağıtım sistemleri oluşturuldu ve en yaygın olanı master-slave oldu. Ana saatin kararlı bir periyodik osilatör tarafından üretildiği göz önüne alındığında, iki topoloji araştırılır: tek yönlü ana-bağımlı ve iki yönlü ana-bağımlı ve ana bilgisayara saat geri beslemesi sağlayan bağımlı düğümler. Bozulmaların varlığında saat sinyali kurtarma işleminin sonuçları bu makalede sunulmaktadır ve ana-bağımlı saat dağıtım ağlarının, tek yönlü topolojinin daha iyi sonuçlar sunması ile birkaç düğümü ve kararlı bir ana osilatörü olan ağlar için yararlı olabileceğini göstermektedir (Piqueira, J. R. C, 2020).

Özellikle, bu yazıda PLL için faz senkronizasyonu nicemlemeye dayalı taşıyıcı faz/frekans senkronizasyonunun bir problemini ele alıyoruz ve geliştiriyor ve değerlendirilmektedir. Bilinmeyen veri, frekans ve fazın yanı sıra bilinen nicemleme doğrusalsızlığının ortak modellenmesine dayanan bir çalışma olacaktır (Wadhwa, 2013). Ayırık bileşenler kullanılarak gerçekleştirilen ve uzak bir noktadan gelen zaman esasını algılama gibi önemli bir işlevi yerine getiren faz kilitli döngü, elektronik mühendisliğinde ilk uyumlu modülasyon sistemlerinin geliştirilmesinden bu yana mevcut olup, faz kilitli döngü gerçekleştirmektedir. Uzak bir noktadan gelen zaman esasını algılamanın önemli işlevidir.

Modülasyon, bilgi taşıyan bir sinyale yanıt olarak bir taşıyıcı dalganın bazı özelliklerini değiştirme işlemidir. Bilgi, gürültü veya parazite karşı daha az duyarlı olacak ve çoklu erişim teknikleri mümkün olacaktır. Dijital

modülasyonun birincil amacı, bir analog Bandpass kanalı üzerinden dijital bir bit akışı göndermektir. Sistem, temel bant darbelerinin $(-1, 1)$, darbeyi yumuşatmak ve spektral genişliğini sınırlamak için FSK modülatörüne girmeden önce bir Gauss filtresinden geçirildiği Gauss frekans kaydırmalı anahtarlama (GFSK) modülasyonunu kullanır (Tabassam, 2011). Master-slave faz kilitli döngü şematik gösterimin de birinci VCO diğer VCO için giriş olarak kullanılmıştır (Şekil 5.1).

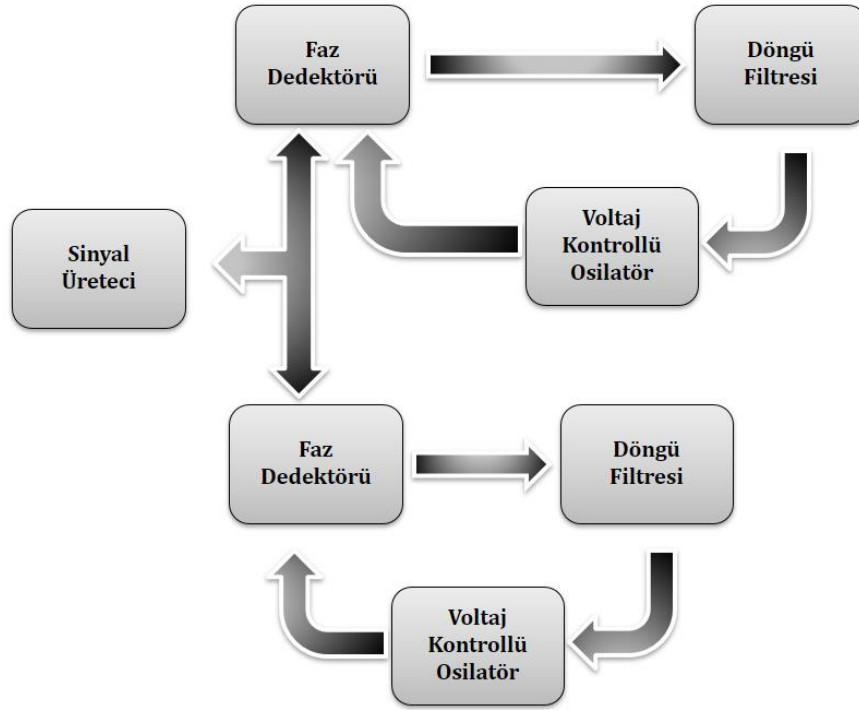


Şekil 5.1. Master-slave faz kilitli döngü gösterimi

Farklı bir senkronizasyon tekniklerinden biri de giriş sinyalini iki faz kilitli döngü için giriş olarak kullanmaktır. Bu sistemlerin uygulamaları için MATLAB-Simulink kullanılacaktır. Mühendisler ve bilim adamları, dünyayı değiştiren sistemleri ve ürünleri incelemek ve tasarlamak için MATLAB-Simulink kullanır. Bilgisayar matematiğinin en doğal ifadesini sağlayan matris tabanlı bir dil olan MATLAB dili, yazılımın kalbinde yer alır. İki çıktı arasında faz uyumunu sağlamanın ilk aşaması, faz ilişkisinin zaman içinde sürdürülebilmesini sağlamaktır. Örneğin bir sinyal yarıya bölündüğünde, tasarımcının müdahale etmesini gerektiren iki alternatif çıkış aşaması vardır. Bu bölücü PLL geri besleme döngüsü içinde bulunuyorsa, PLL döngüsü her zaman uygun fazı bulacaktır ve senkronizasyon gerekli değildir. Bu bölücü, örneğin giriş bölücü kullanıldığında

olduğu gibi döngü dışında kullanıldığında, tasarımcı bir senkronizasyon sinyali sağlamalıdır. VCO'dan sonraki bölücü de bu durumdan etkilenir. Kesirli devre söz konusu olduğunda, senkronizasyon gerekebilir (TI, 2017).

Farklı senkronizasyon yöntemlerinden biri olan ortak kaynak paylaşımında giriş iki PLL için giriş olarak kullanılmıştır (Şekil 5.2).



Şekil 5.2. Giriş sinyalini bölerek faz kilitli döngü gösterimi

5.1. Master-Slave Senkronizasyonu

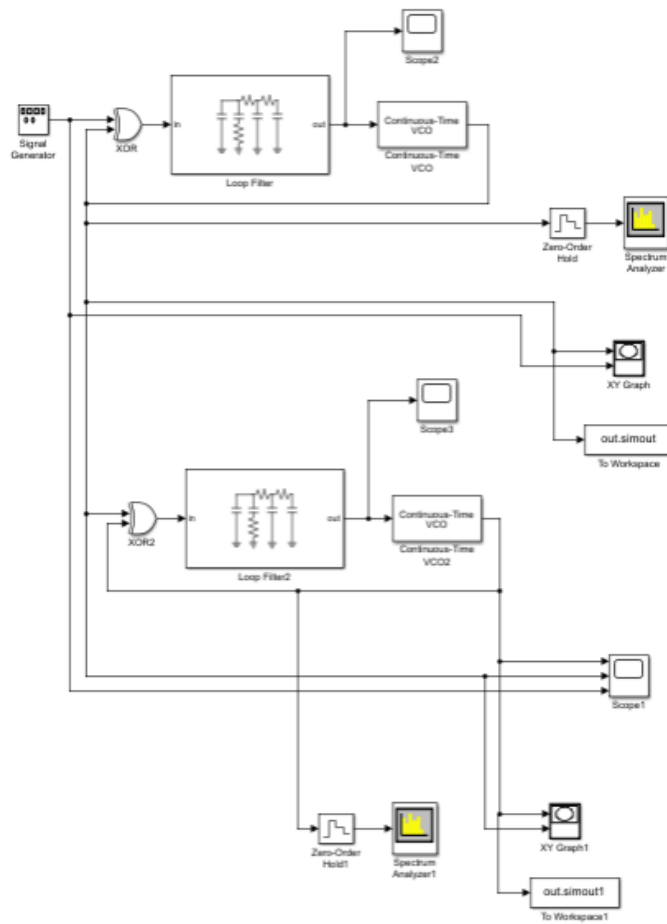
Faz kararlılığı, bir test kurulumunda master-slave kullanıldığında elde edilebilir (Piqueira, 2020). Bu uygulamada senkronizasyon için master-slave yaklaşımı kullanılmaktadır. Köle, bu yöntemi kullanırken birinci VCO çıkış yöneticisini bir giriş olarak kabul eder ve böylece giriş, sinyal üretici ile senkronize edilir.

Bu senkronizasyon yaklaşımı, iki farklı faz dedektörü ile oluşturulan PLL için test edildi. İki tip faz dedektörü, XOR faz dedektörleri ve Faz/frekans dedektörleridir.

Bu çalışmada MATLAB Simulink kullanılmıştır. Bilgiler bir grafik ve bir tablo şeklinde görüntülenir. Doğal frekanslar aynı değilse fazlar senkronize olmayabilir, bu da daha fazla optimizasyon prosedürlerinin kullanılmasını gerektirir (Hsieh ve Hung, 2006).

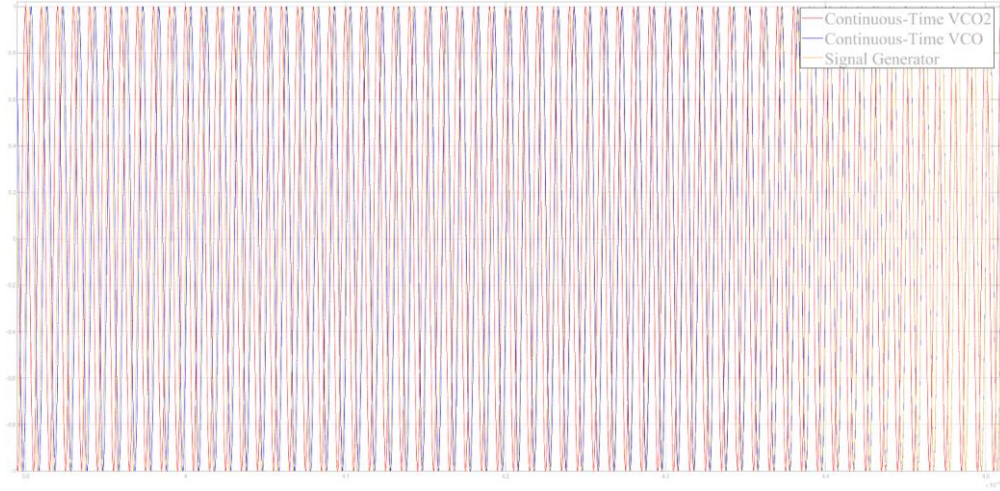
5.1.1. XOR faz dedektörü ve master –slave uygulaması

XOR faz dedektörü uygulamasının master-slave ilişkisi ile gösterimi anlaşılmıştır. Simulink devre şeması verilmiştir (Şekil 5.3). Bu senkronizasyon sisteminde birinci PLL için kullanılan VCO diğer PLL sistemi için giriş olarak kullanılmıştır. Giriş kaynağı için sinyal jeneratörü kullanılmıştır.



Şekil 5.3. XOR faz dedektörü ile master –slave uygulaması

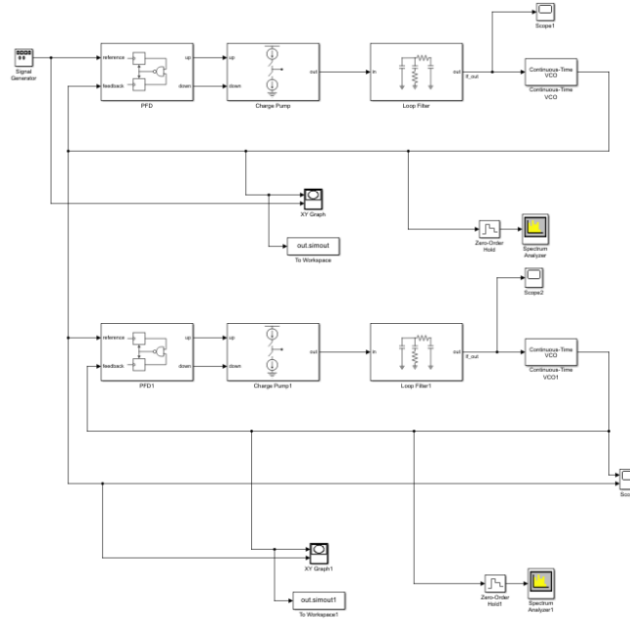
PLL çıkışlarının karşılaştırılması için iki PLL için kullanılan VCO ve giriş kaynağı bir osiloskoba bağlanmıştır. Bu sonuçlarda senkronize olma sonuçları elde edilmiştir (Şekil 5.4). Belirli aralıklar ile senkronize olduğu incelenmiştir.



Şekil 5.4. Master ve slave VCO ve giriş (sinyal üretici) sonucu

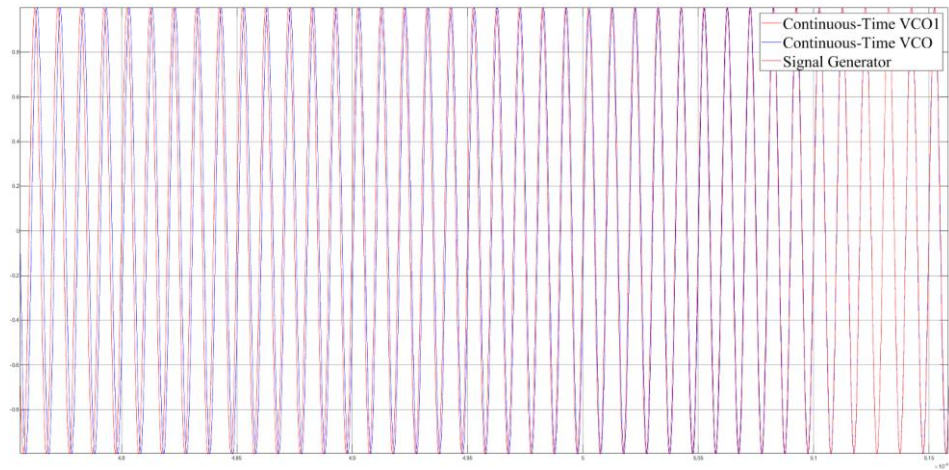
5.1.2. Faz/Frekans dedektörü ve şarj pompası master –slave uygulaması

PFD için birçok farklı olası tasarım mevcut olduğundan, bu uygulama için en iyilerden birinin Master-Slave topolojisi olduğu bulundu. Master-slave uygulaması için birinci sistemin VCO çıkışı diğer PLL için giriş olarak alınır. Bu sistemin Simulink şeması verilmiştir (Şekil 5.5).



Şekil 5.5. PFD ve şarj pompası ile master –slave uygulaması

İlk VCO'nun çıkışını diğer PLL'nin girişi olarak kullanan bu sistemin sonucunu göstermektedir. İlk giriş ana VCO ve bağımlı VCO'nun sonuçları bu şemada gösterilmektedir. PFD ve şarj pompası master-slave senkronizasyonu için de kullanılabilir(Şekil 5.6).



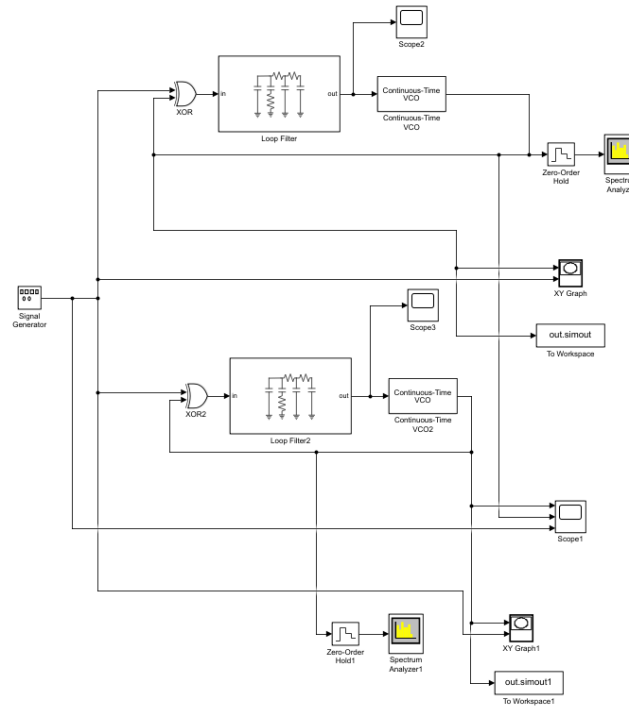
Şekil 5.6. Master ve slave VCO ve giriş (sinyal üretici) sonucu

5.2. Giriş Sinyalinin Ortak Kaynak Paylaşımı Senkronizasyonu

İki çıktının faz uyumlu olması için ilk adım, faz ilişkisinin her seferinde aynı olmasını sağlamaktır. Faz ilişkilerinin farklı olmasına neden olabilecek bir şey, ilgili bölünmelerin olup olmadığıdır. Örneğin, bir sinyal ikiye bölündüğünde, tasarımcının harekete geçmesini gerektiren iki olası çıkış aşaması vardır. Bu bölücü PLL geri besleme döngüsünün içindeyse, doğru faz her zaman PLL döngüsünün kendisi tarafından bulunur ve senkronizasyon gerekmez. Ancak bu bölücü, örneğin giriş bölücünün kullanılması durumunda olduğu gibi, döngünün dışındaysa, tasarımcı bir senkronizasyon sinyali sağlamalıdır. Bu senaryo, VCO'dan sonraki bölücü için de geçerlidir.

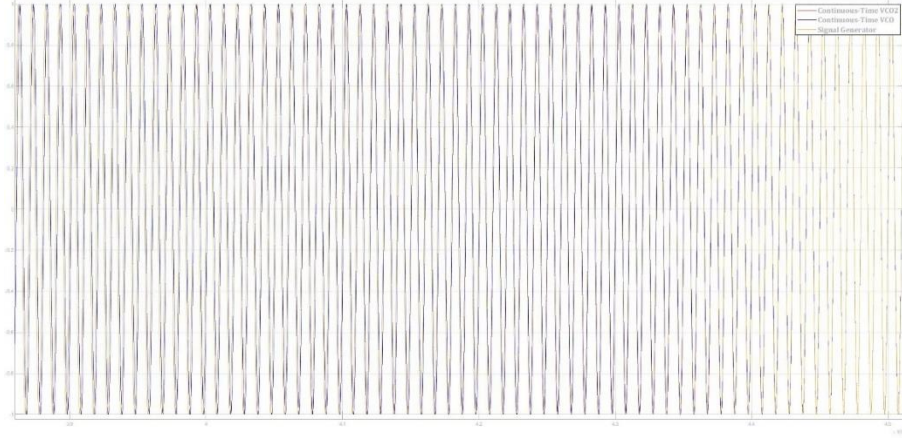
5.2.1. XOR faz dedektörü ve ortak kaynak paylaşımı senkronizasyonu

XOR faz dedektörü ile ortak kaynak yönteminin kullanılması için giriş iki farklı PLL sistemi için giriş olarak kullanılmıştır. Bu sistemin çalışması için simulink kullanılmıştır (Şekil 5.7).



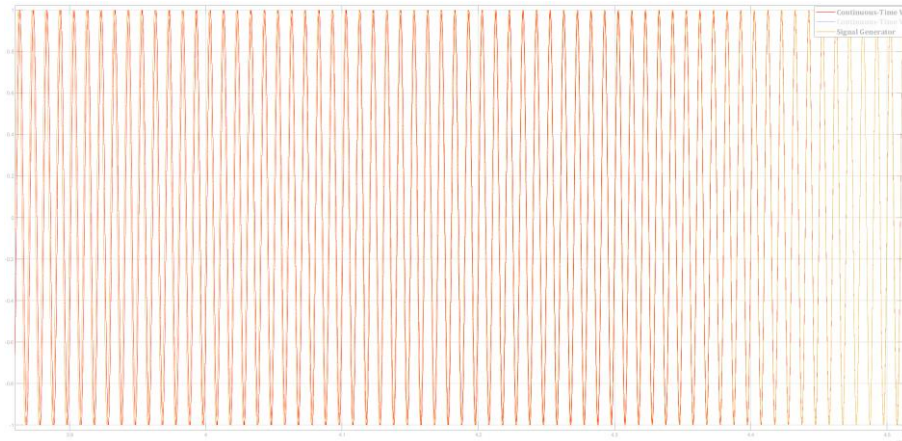
Şekil 5.7. XOR faz dedektörü ile ortak kaynak paylaşımı uygulaması

Ortak kaynak yöntemiyle oluşturulan sistemde iki PLL için çıkışlar karşılaştırılmıştır. Bu sistemde karşılaştırmada sonuçlar incelendiğinde ortak kaynak paylaşımı VCO ve giriş sinyali için senkronizasyon sağlandığı gözlemlenmiştir (Şekil 5.8).



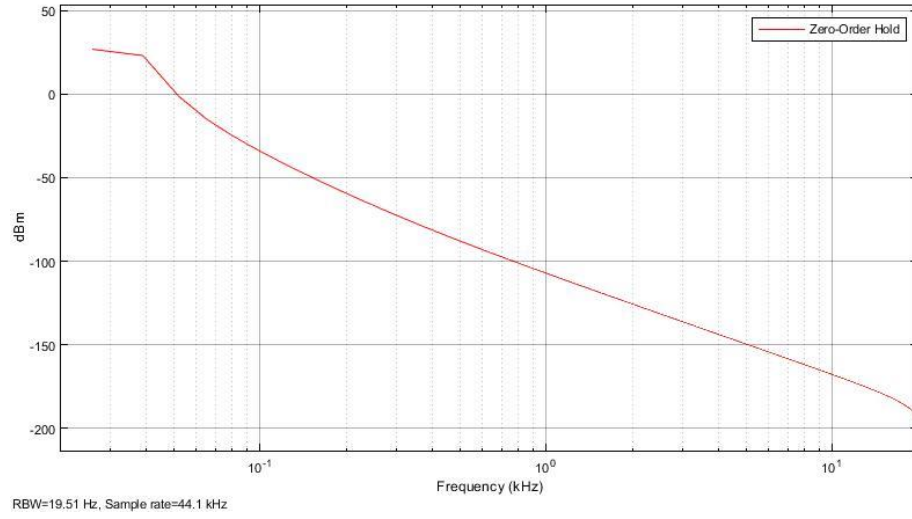
Şekil 5.8. Ortak kaynak paylaşımı VCO ve giriş (sinyal üretici) sonucu

Ortak kaynak yöntemiyle oluşturulan sistemde ikinci PLL için kullanılan VCO2 için sonuçlar verilmiştir (Şekil 5.9). Bu grafikte de giriş ile VCO2 karşılaştırılmıştır. Bu karşılaştırmada da senkronizasyon sağlandığı gözlemlenmiştir. Ayrıca bu sistemde VCO ve VCO2 çıkışları birirleri arasında da faz senkronizasyonu sağlanarak çalışmaktadır.



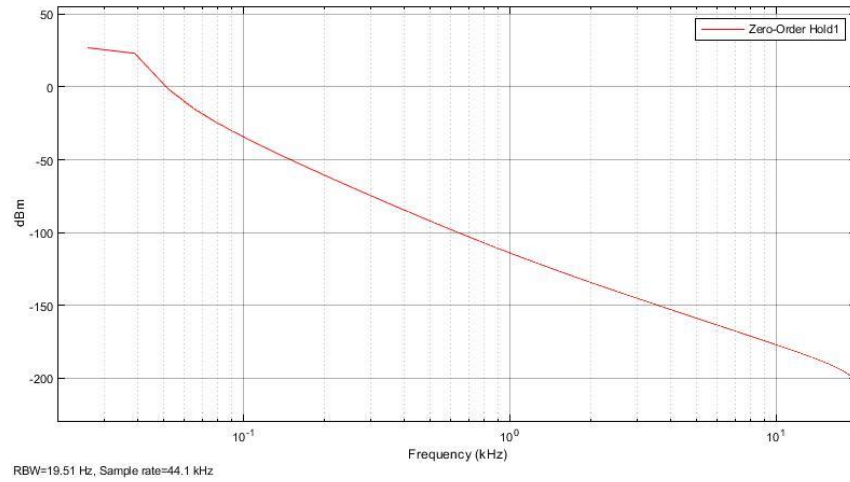
Şekil 5.9. Ortak kaynak paylaşımı VCO2 ve giriş (sinyal üretici) sonucu

Ayrıca bu sisteme ait kullanılan birinci PLL için spektrum analizör sonucu verilmiştir (Şekil 5.10).



Şekil 5.10. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu

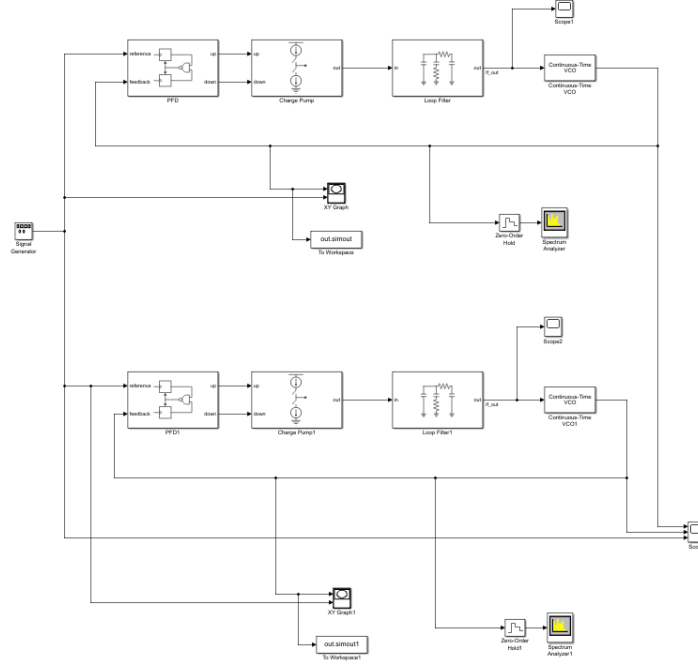
Bu sisteme ait kullanılan ikinci PLL için spektrum analizör sonucu verilmiştir (Şekil 5.11).



Şekil 5.11. Ortak kaynak paylaşımı ile VCO2 spektrum analizör sonucu

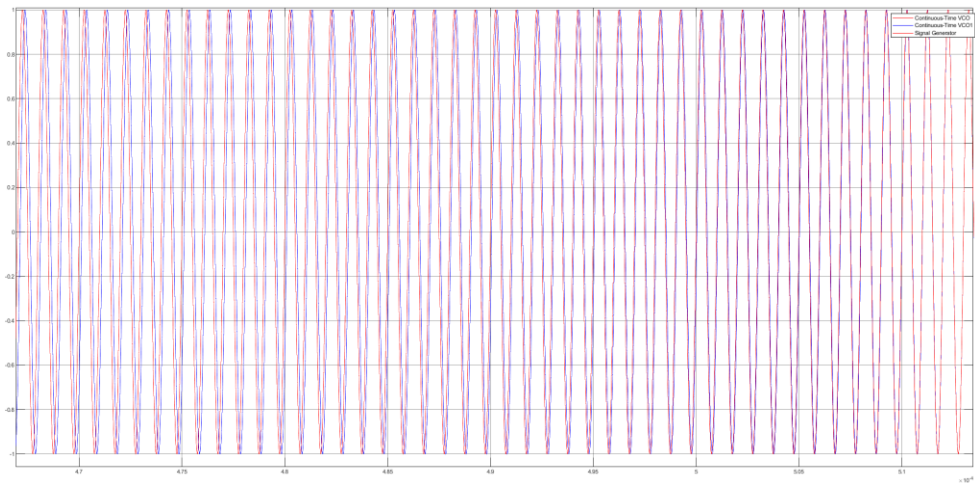
5.2.2. Faz/Frekans dedektörü ve ortak kaynak senkronizasyonu

Faz/frekans dedektörü kullanılarak oluşturulmuş sistem için simulink kullanılmıştır (Şekil 5.12).



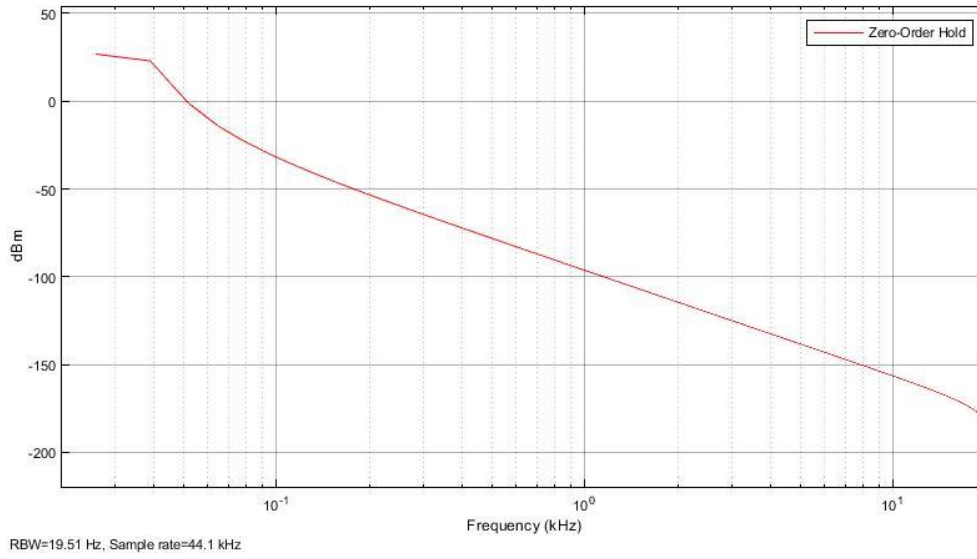
Şekil 5.12. PFD faz dedektörü ile ortak kaynak paylaşımı uygulaması

Bu çalışmada ortak kaynak olarak sinyal jeneratörü kullanılmıştır. Sistemde iki farklı PLL için giriş olarak kullanılmıştır. Sonuçların karşılaştırılması iki PLL için bulunan VCO ve VCO2 gözlemlenmiştir. Bu iki VCO ayrıca giriş ile aynı graif üzerinde karşılaştırılarak faz senkronizasyonu sonuçları incelenmiştir (Şekil 5.13).



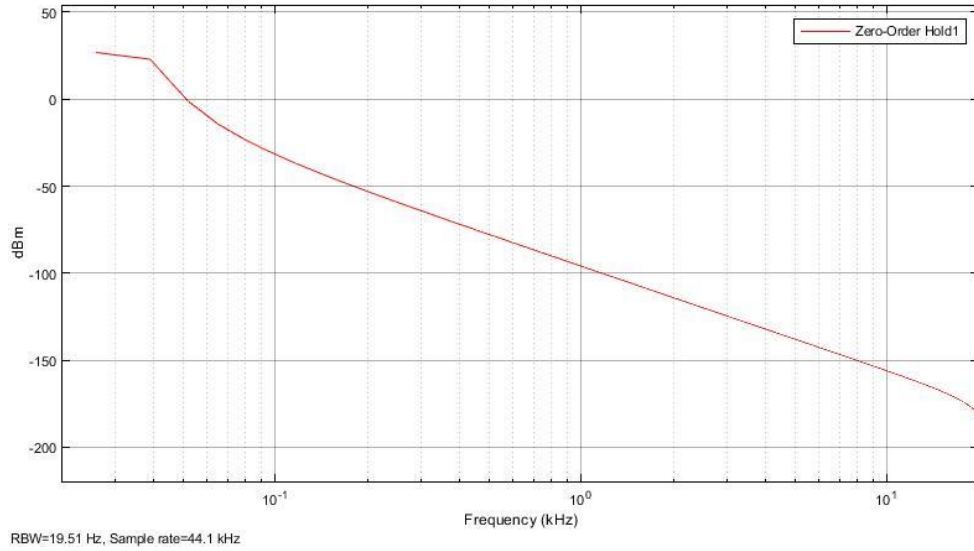
Şekil 5.13. Ortak kaynak paylaşımı VCO ve giriş (sinyal üretici) sonucu

Bu sisteme ait kullanılan ikinci PLL için spektrum analizör sonucu verilmiştir (Şekil 5.14).



Şekil 5.14. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu

Bu sisteme ait kullanılan ikinci PLL için spektrum analizör sonucu verilmiştir (Şekil 5.15).



Şekil 5.15. Ortak kaynak paylaşımı ile VCO2 spektrum analizör sonucu

PFD türü faz dedektörü kullanılarak sistemin ortak kaynak ile çalışması incelenmiştir.

6. SES KAYDI İLE FAZ SENKRONİZASYONU UYGULAMASI

Bu bölümde 5.bölümde gösterilen simülasyon ve devrelerin yeni bir kayıt ile denemeleri anlatılacaktır. Ayrıca sonuçlar değerlendirilecek ve grafik sonuçları açıklanacaktır. Sinyal eşitlendikten sonra, senkronizasyon algoritmalarının hem PLL hem de osilatörlerin hizalaması, böylece verici ve alıcı arasındaki faz ve frekans farkının etkisini hafifletmesi mümkündür (Savory, 2012). FM demodülatörünü tasarlamak için kullanılan teknik, faz kilitli döngüdür.

Bir faz kitleme döngüsünün bir FM sinyalini nasıl demodüle edebileceğine dair kabaca bir fikir aşağıdadır: Giriş sinyali ve bir referans sinyali arasındaki faz farkına karşılık gelen bir hata sinyali üretmek için bir faz karşılaştırıcısı kullanılır. Faz karşılaştırıcı genellikle bir çarpandır ve bu nedenle dijital bir filtreyle filtrelenmesi gereken ek sinyaller üreteceğiz. referans sinyali frekansı hata sinyali tarafından belirlenen sayısal olarak kontrol edilen bir osilatör tarafından üretilir. Bu uygulamada da bu yöntem kullanılarak bir çalışma yapılacaktır (Burnett, 2010).

6.1. MATLAB Kodu ile Ses Kaydı Oluşturulması

İlk olarak MATLAB ile bir ses kaydının alınması ve bu kaydın 5. bölümde verilen sistemlerde uygulanması anlatılacaktır. İlk olarak MATLAB'da işlenmek üzere mikrofon gibi bir giriş cihazından ses verilerini kaydetmek için audiorecorder kullanılmıştır. Audiorecorder nesnesi, kayıt işlemi üzerinde daha fazla kontrol sağlayan özelliklere sahiptir. Örneğin ses kaydedici nesne işlevleri, geri aramaları duraklatmak, yeniden başlatmak veya tanımlamak için kullanılabilir. MATLAB Kodu Ek A'da verilmiştir.

Örnekleme frekansı $F_s = 8820$ hertz

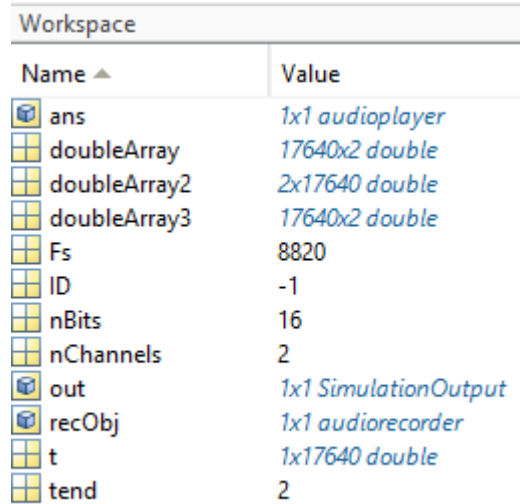
Örnek başına bit sayısı $n_{Bits} = 16$

Kanal sayısı $n_{Kanallar} = 2$

Yukarıdaki özelliklere göre bilgisayar ile 2 saniyelik ses kaydı oluşturulmuştur.

6.2. MATLAB Sonuçlarını Simulink Projesine Aktarma

Kod ile oluşturulan ses kaydını Simulink dosyasında kullanmak için “from Workspace” komutu ile dosya matlab workspace bölümünden simulink dosyasına aktarılmıştır. Şekil 6.1’de verilen görselde doubleArray3 ismiyle verilen sonuçlar kullanılmıştır.



Workspace	
Name ▲	Value
ans	1x1 audioplayer
doubleArray	17640x2 double
doubleArray2	2x17640 double
doubleArray3	17640x2 double
Fs	8820
ID	-1
nBits	16
nChannels	2
out	1x1 SimulationOutput
recObj	1x1 audiorecorder
t	1x17640 double
tend	2

Şekil 6.1. Matlab kodu çalıştırıldığında workspace sonuçları

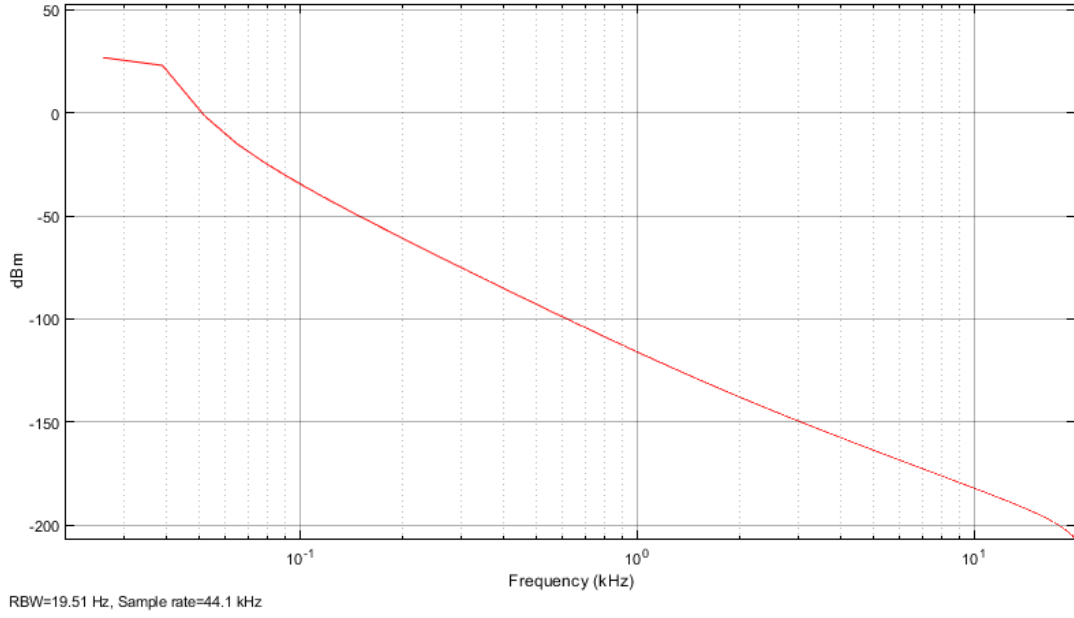
6.3. Ses Kaydı ile Simulink Master-slave PLL Uygulaması

Kod ile oluşturulan ses kaydını Simulink dosyasında kullanarak PLL uygulamasının sonuçları açıklanmıştır. Bu uygulamada from workspace bloğu ile aktarılan dosya öncesinde VCO girişi olarak kullanılmıştır. Böylece PLL girişi için kullanılacak şekile getirilmiştir.

6.3.1. XOR pll ve master-slave uygulaması

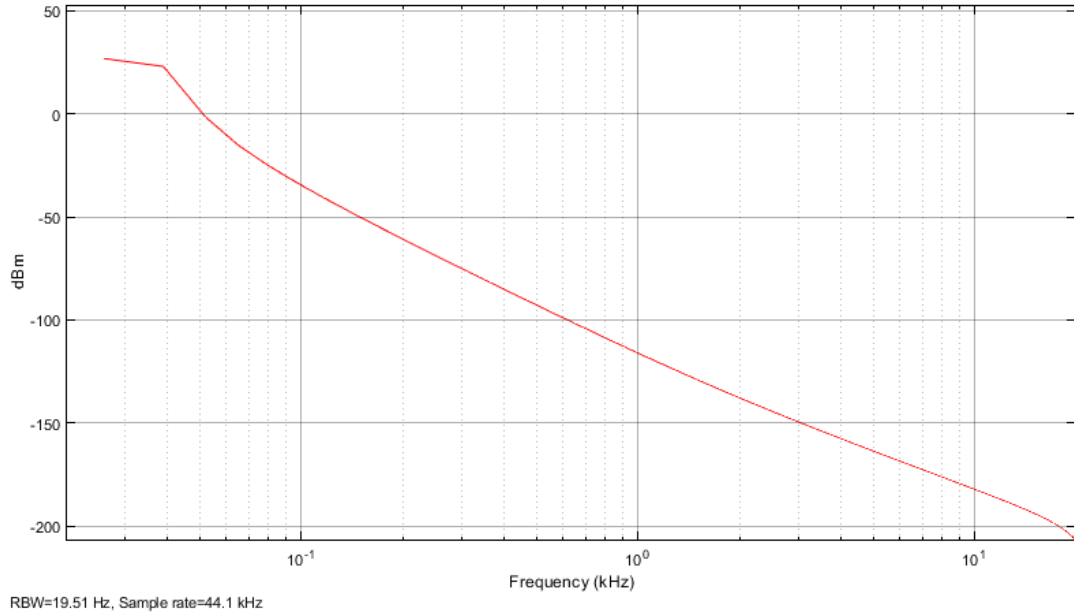
Aşağıda 5.1.1’de verilen Master-Slave XOR-PLL uygulamasının ses kaydı ile uygulaması ve bu uygulama sonuçları aşağıda açıklamıştır. Burada MATLAB ses kaydından alınan veriler giriş olarak kullanılmıştır. XOR master-slave çalışması ile devresi Simulink ile test edilmiştir (Şekil 6.2).

Bu sisteme ait kullanılan birinci PLL için spektrum analizör sonucu verilmiştir (Şekil 6.4).



Şekil 6.4. Master-slave ile VCO spektrum analizör sonucu

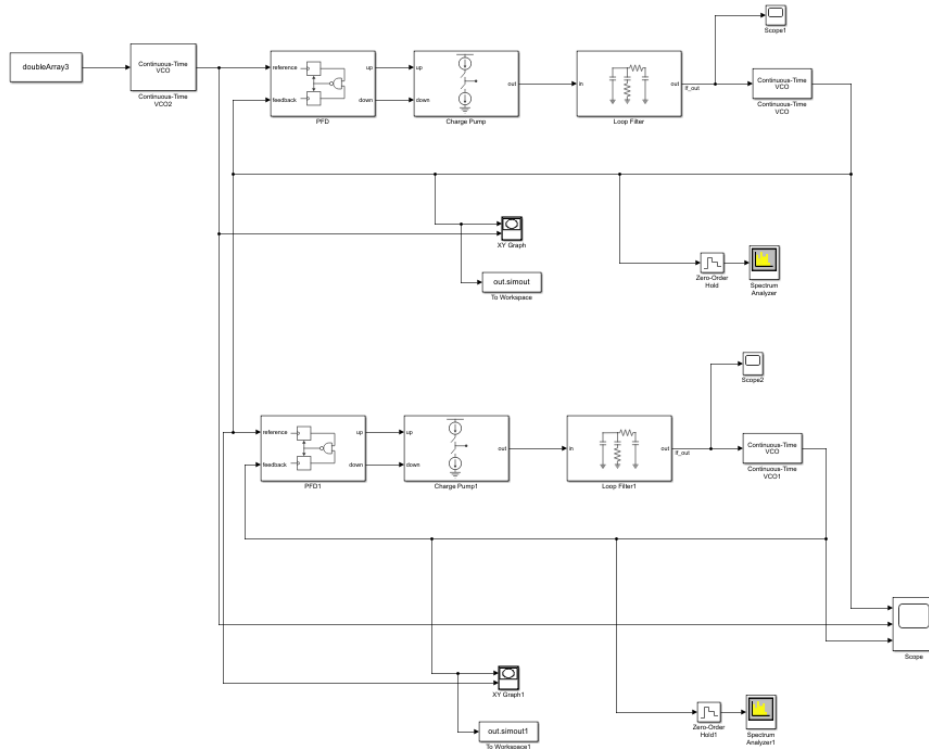
Bu sisteme ait kullanılan ikinci PLL için spektrum analizör sonucu verilmiştir (Şekil 6.5).



Şekil 6.5. Master-slave ile VC02 spektrum analizör sonucu

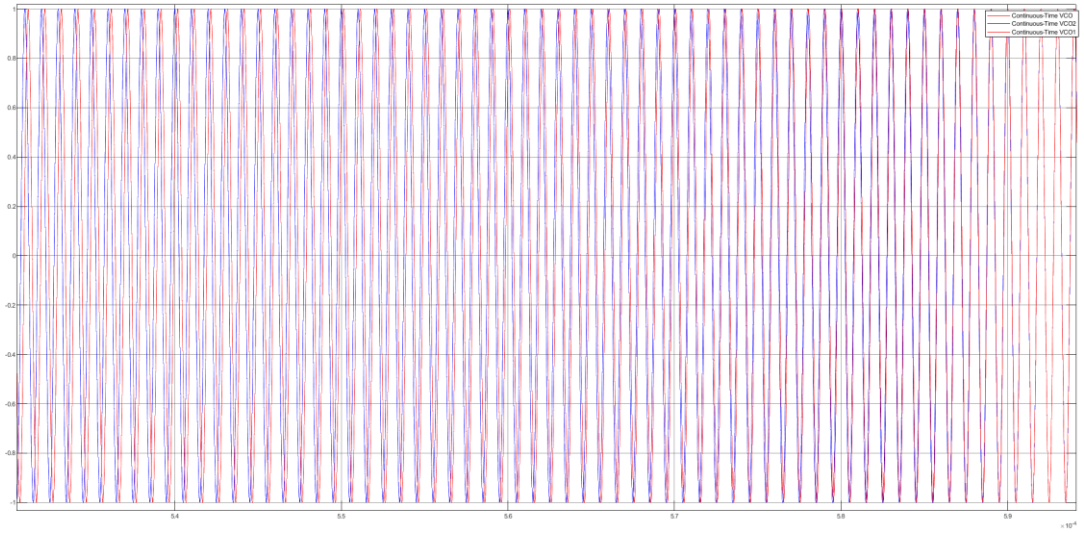
6.3.2. PFD PLL ve Master-slave pll uygulaması

Bu uygulamada PFD-PLL senkronizasyonu için master-slave ile uygulaması gösterilmiştir. Ayrıca simulasyon sonuçları grafikler ile gösterilmiştir. Simulasyon için Simulink kullanılmıştır. Bu sistemde PFD ve amster-slave çalışması ses kaydı ile sonuçları incelenmiştir. Sistemde ses kaydı giriş olarak kullanılmıştır (Şekil 6.6).



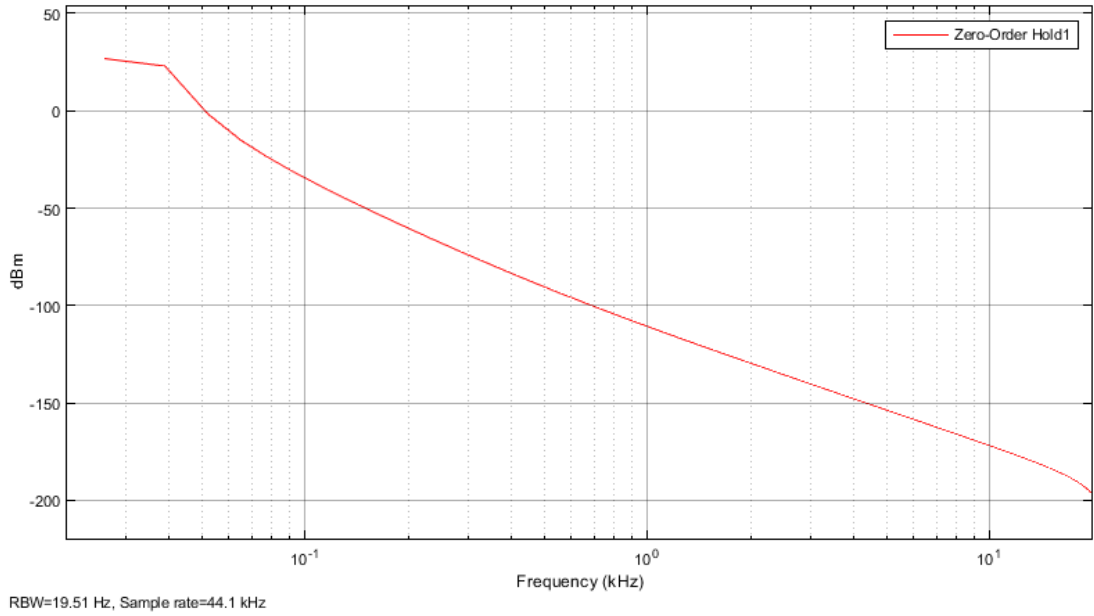
Şekil 6.6. Ses kaydı ile PFD faz dedektörü ve master-slave PLL uygulaması

Sistemde kullanılan üç VCO için çıkış grafikleri karşılaştırılmıştır (Şekil 6.7). Sistemin bir süre sonra faz senkronizasyonu sağlanmıştır. Master-slave yöntemiyle elde edilen sonuçlarda VCO ve VCO1 Şekil 6.7’de gösterildiği gibi iki ayrı PLL sisteminin osilatörleri olarak verilmiştir. Sisteme giriş olarak verilen ses kaydının zaman içerisinde ilk girişe verilmesi ve sonrasında ikinci PLL için giriş olarak kullanılmasıyla elde edilen sistemin zaman içerisinde senkronize olduğu gösterilmiştir.



Şekil 6.7. Master-slave VCO ve giriş (sinyal üretici) sonucu

Bu sisteme ait kullanılan PLL için spektrum analizör sonucu verilmiştir (Şekil 6.8).



Şekil 6.8. Master-slave ile VCO spektrum analizör sonucu

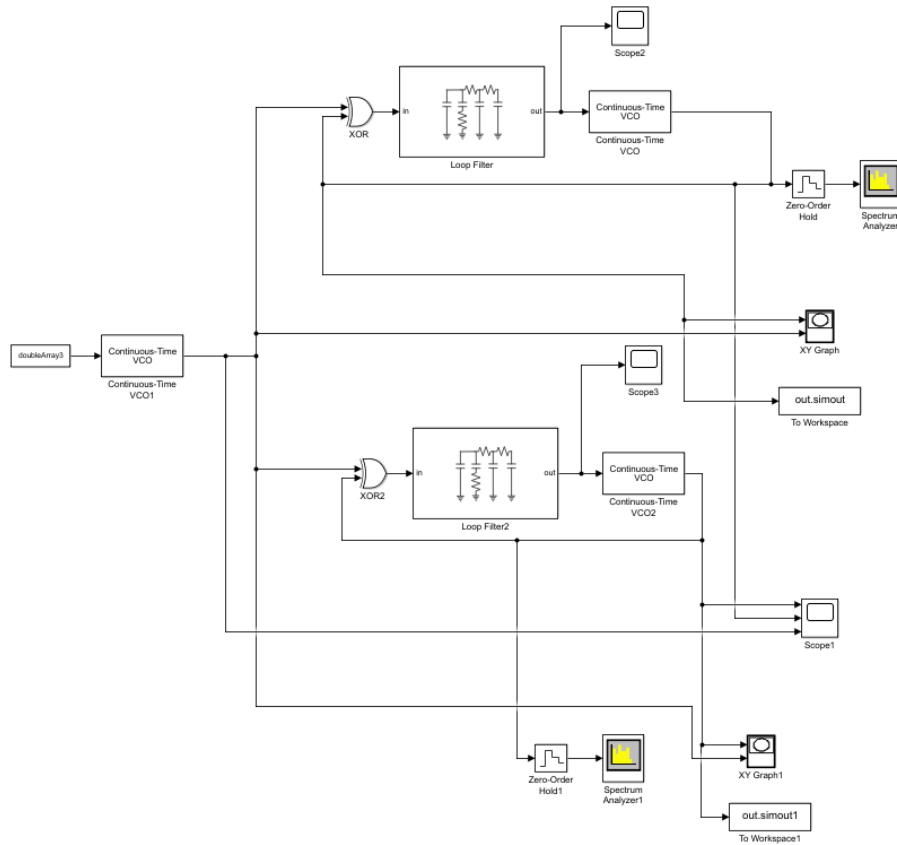
6.4. Ses Kaydı ile Simulink Ortak Kaynak Paylaşımı PLL Uygulaması

Kod ile oluşturulan ses kaydını Simulink dosyasında kullanarak ortak kaynak paylaşımlı PLL uygulamasının sonuçları açıklanmıştır. Bu uygulamada from

workspace bloğu ile aktarılan dosya öncesinde VCO girişi olarak kullanılmıştır. Böylece PLL girişi için kullanılacak şekile getirilmiştir.

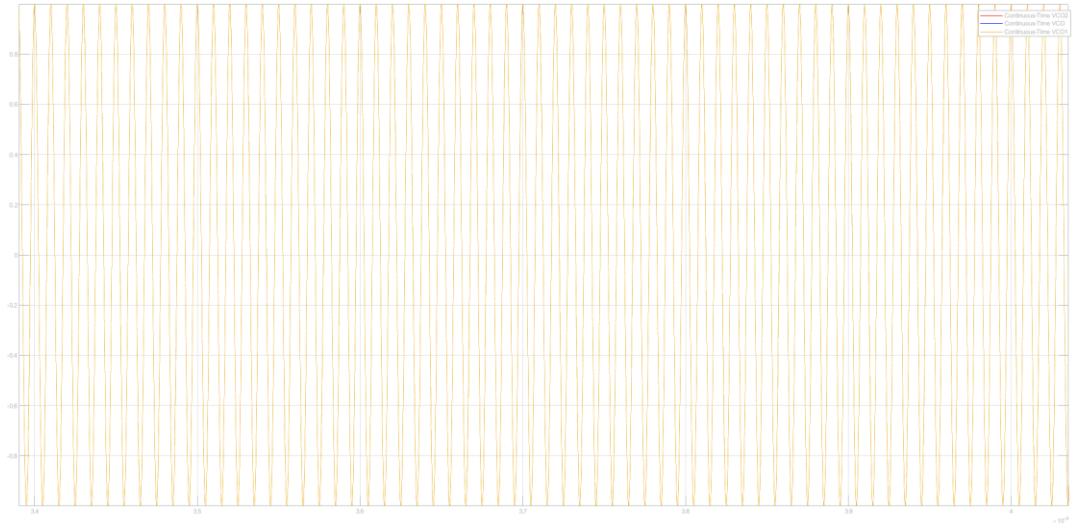
6.4.1. XOR pll ve ortak kaynak paylaşımı uygulaması

Bu uygulamada ses kaydı kullanılarak XOR PLL ile ortak kaynak paylaşımı gösterilmiştir (Şekil 6.9). Ayrıca simülasyon sonuçları gösterilmiştir. Şekil 6.9'da ortak kaynak paylaşımında giriş olarak tek bir giriş kullanılmıştır ve iki ayrı PLL sistemine giriş olarak kullanılmıştır. Bu uygulamada faz detektörü olarak XOR kapısı kullanılmıştır.



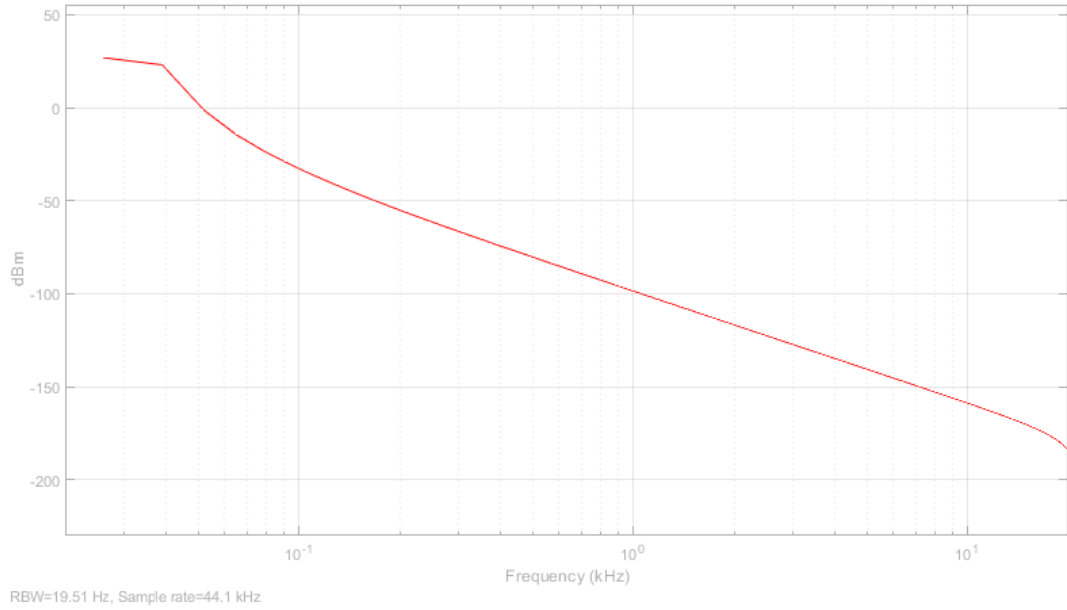
Şekil 6.9. Ses kaydı ile XOR dedektörü ortak kaynak paylaşımı

Ortak kaynak yöntemiyle elde edilen sonuçlarda VCO ve VCO1 iki ayrı PLL sisteminin osilatörleri olarak verilmiştir. Sisteme giriş olarak verilen ses kaydının zaman içerisinde iki çıkış için senkronize olduğu gösterilmiştir (Şekil 6.10).



Şekil 6.10. Ortak kaynak ile VCO, VCO1 ve (sinyal üretici) sonucu

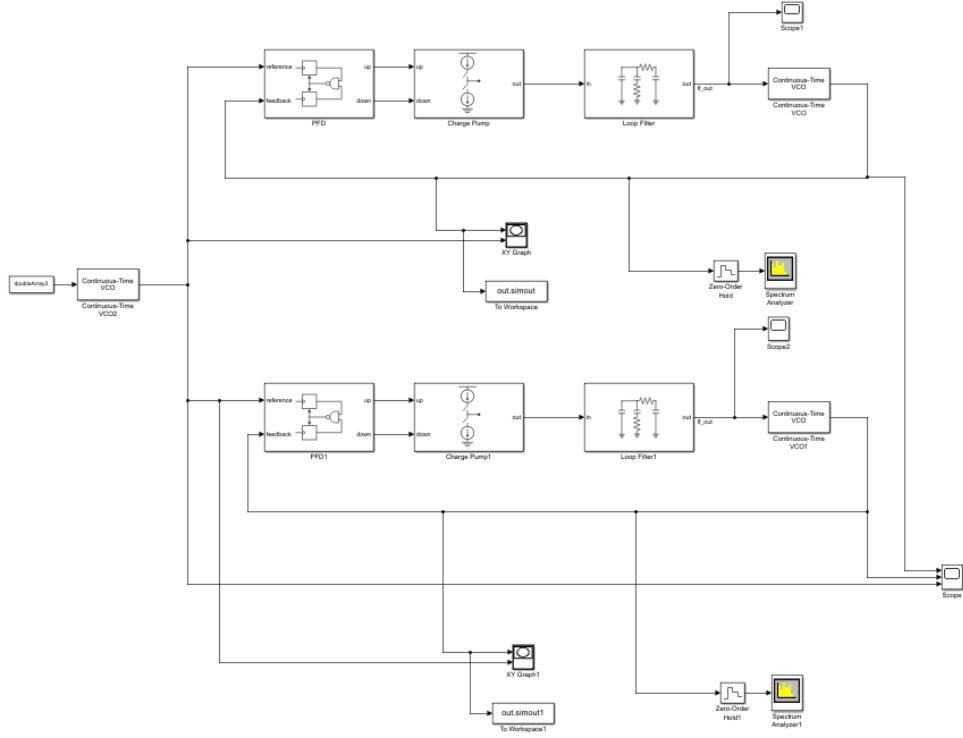
Bu sisteme ait kullanılan PLL için spektrum analizör sonucu verilmiştir (Şekil 6.11).



Şekil 6.11. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu

6.4.2. PFD pll ve ortak kaynak paylaşımı uygulaması

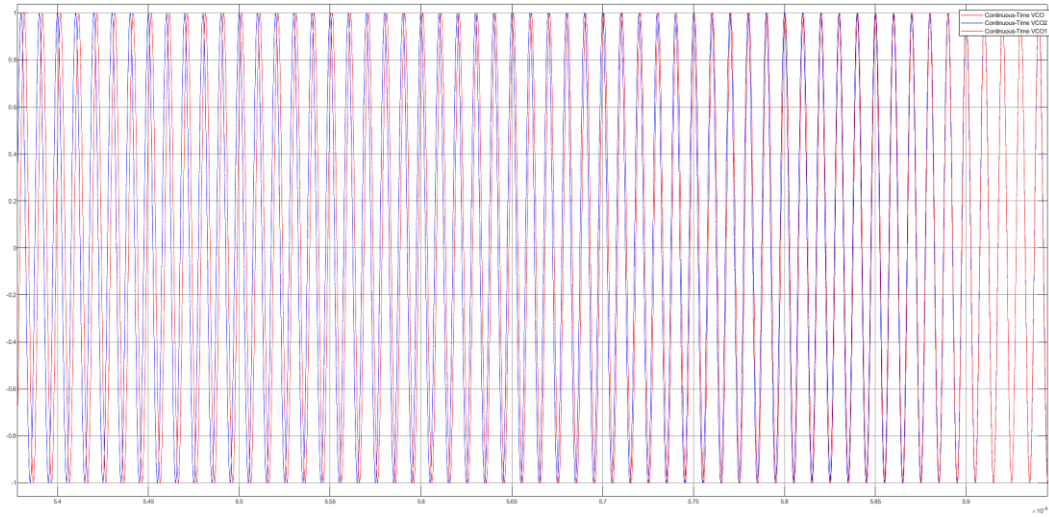
Bu uygulamada ses kaydı kullanılarak PFD PLL ile ortak kaynak paylaşımı gösterilmiştir (Şekil 6.12). Ayrıca simulasyon sonuçları gösterilmiştir.



Şekil 6.12. Ses kaydı ile PFD faz dedektörü ortak kaynak paylaşımı

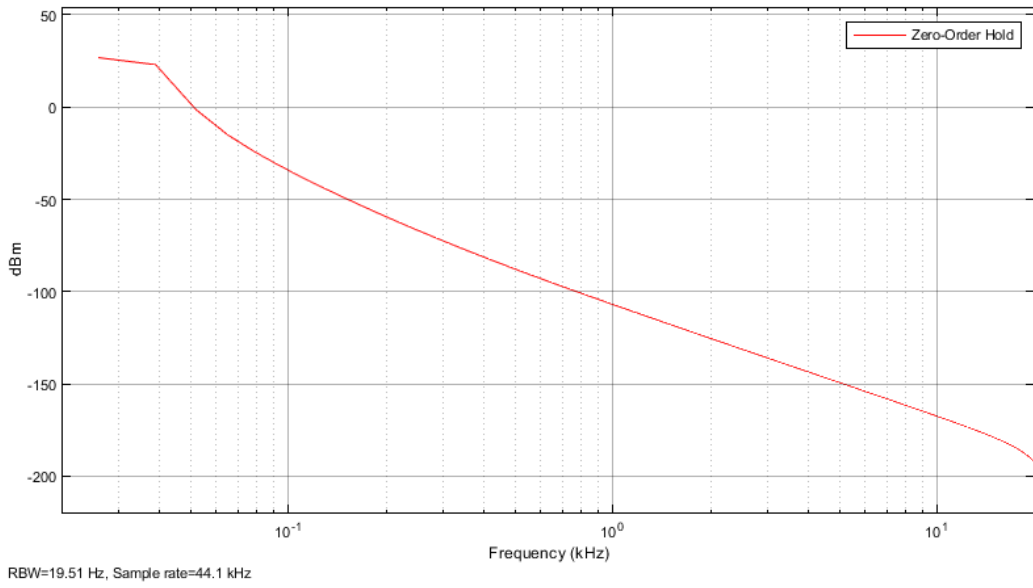
Şekil 6.12’de ortak kaynak paylaşımında giriş olarak tek bir giriş kullanılmıştır ve iki ayrı PLL sistemine giriş olarak kullanılmıştır. Giriş kaynağı için ses kaydı kullanılmıştır. Bu uygulamada faz dedektörü olarak PFD kullanılmıştır.

Ortak kaynak yöntemiyle elde edilen sonuçlarda VCO ve VCO1 iki ayrı PLL sisteminin osilatörleri olarak verilmiştir (Şekil 6.13). Sisteme giriş olarak verilen ses kaydının zaman içerisinde iki çıkış için senkronize olduğu gösterilmiştir.



Şekil 6.13. Ortak kaynak ile VCO, VCO1 ve (sinyal üretici) sonucu

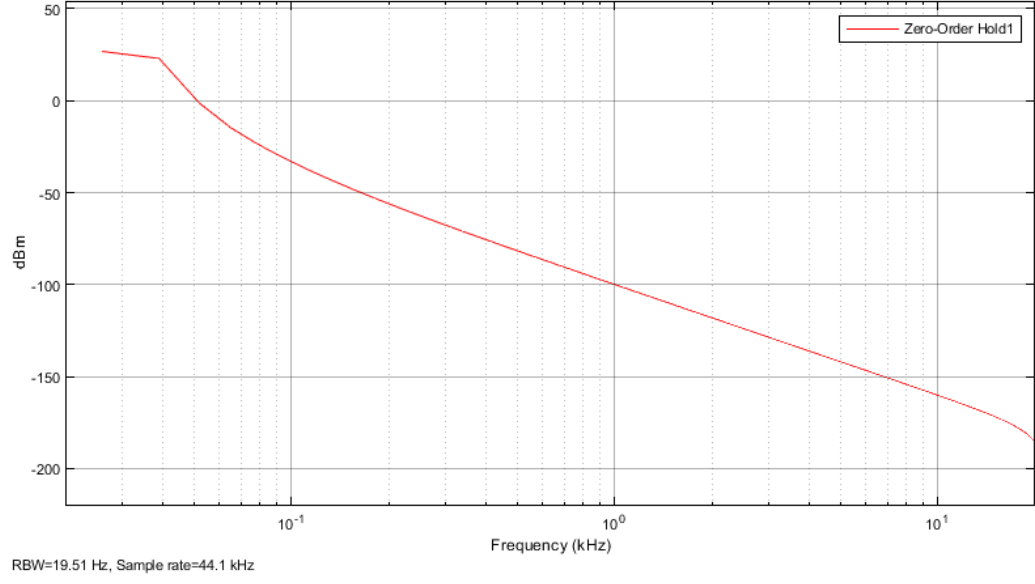
Bu sisteme ait kullanılan birinci PLL için spektrum analizör sonucu verilmiştir (Şekil 6.14).



Şekil 6.14. Ortak kaynak paylaşımı ile VCO spektrum analizör sonucu

Bu sonuçlarda Üç VCO için faz senkronizasyon sonuçlarında senkronize olduğu sonuçları gösterilmiştir.

Bu sisteme ait kullanılan ikinci PLL için spektrum analizör sonucu verilmiştir (Şekil 6.15).



Şekil 6.15. Ortak kaynak paylaşımı ile VCO2 spektrum analizör sonucu

7. SONUÇLAR VE ÖNERİLER

Faz senkronizasyonu genel olarak çoklu sistemlerde var olan bir problemdir. Bu çalışmada da bu problem çözümü üzerine çalışılmıştır. Öncelikle çözüme yönelik ana hatlarından biri olan faz kilitli döngü ve bu döngüyü oluşturan bileşenler açıklanmıştır. Sonrasında sistem denemelerinde kullanılacak faz kilitli döngü çeşitleri anlatılmıştır. Sonrasında asıl çözüm yöntemi olan senkronizasyon çeşitlerinin faz kilitli döngüye uygulanması açıklanmıştır. Bu uygulamalar MATLAB-Simulink ile desteklenmiş ve sonuçları açıklanmıştır.

Faz senkronizasyonu için öncelikle ikili şekilde kullanılması açıklanmıştır. Bu şekilde iki senkronize faz çıktısı elde edilmek amaçlanmıştır. Bu uygulamalar farklı faz dedektörleriyle denenerek daha öncesinde farklı çalışmalarda bulunmayan çoklu denemeler denenmemiştir. Bu çalışmada bu yönere ağırlık verilerek sonuçlar sunulmuştur. Sonuçlar incelendiğinde faz senkronizasyonunun doğru bir şekilde sağlandığı gözlemlenmiştir.

Faz kilitli döngüde senkronizasyon için master-slave ortak kaynak paylaşımı yöntemleri seçilmiştir. Bu yöntemler farklı çalışmalarda farklı uygulamalarla denenmiştir. Bu çalışmada farklı olarak faz senkronizasyonu için kullanılmıştır. Bir sonraki aşamada bu faz dedektörlerinin yeni bir ses kaydı ile kullanımı işlenmiştir. Ses kaydı faz kilitli döngülerde ve senkronizasyonlarda kullanılmıştır. Böylece gerçek bir denemede nasıl ilerleyeceği üzerine çalışmalar yapılmıştır. Bu çalışmaların sonuçları görsellerle desteklenmiştir. Böylece sonuçlar doğrultusunda faz senkronizasyonu için master-slave ve ortak kaynak yönteminin kullanılabilirliği gösterilmiştir. Bu çalışmada farklı olarak faz kilitli döngünün bir çok çeşidi olan faz dedektörleri kullanılmıştır ve bu faz dedektörlerinin senkronizasyon için kullanılması açıklanmıştır.

Tüm sonuçlar doğrultusunda bu çalışmada faz senkronizasyonu için farklı yöntemler görseller ve sonuçlar ile açıklanmıştır. Bu çalışmada MATLAB-Simulink kullanılmıştır fakat farklı uygulama yöntemleri için örnek olacağı

beklenmektedir. Bu alıřmadaki analizlerin, bu incelemelere ışık tutması beklenmektedir.

KAYNAKLAR

- Alvarez, M. A., Spagnolini, U., 2018. Distributed Time and Carrier Frequency Synchronization for Dense Wireless Networks, *IEEE Transactions on Signal and Information Processing over Networks*, 4(4), 683–696.
- Analog Devices, 2009. Fundamentals of Phase Locked Loops (PLLs). Erişim Tarihi: 18.04.2021. <https://www.analog.com/media/en/training-seminars/tutorials/mt-086.pdf>
- Ayat, M., Babaei, B., Ebrahimi Atani, R., Mirzakuchaki, S., Zamanlooy, B., 2010, Design of A 100MHz – 1.66GHz, 0.13 μ m CMOS phase locked loop, *International Conference on Electronic Devices, Systems and Applications*, 154-158
- Bianchi, G., Kuznetsov, N. V., Leonov, G. A., Yuldashev, M. V., Yuldashev, R. V., 2015. Limitations of PLL simulation: Hidden oscillations in MatLab and SPICE, *International Conference on Ultra Modern Telecommunications and Workshops (ICUMT)*, Brno, 6-8 Ekim, 79-84
- Bregni, S., 1998. A Historical Perspective On Telecommunications Network Synchronization. *IEEE Communications Magazine* , 36(6), 158–166.
- Burnett, N., 2010. FM Radio Receiver with Digital Demodulation. California Polytechnic State University, The Faculty of the Electrical Engineering Department, B.Sc. Thesis, 65p, California.
- De Brabandere, K., Loix, T., Engelen, K., Bolsens, B., Van den Keybus, J., Driesen, J., & Belmans, R., 2006, Design and Operation of a Phase-Locked Loop with Kalman Estimator-Based Filter for Single-Phase Applications, *32nd Annual Conference on IEEE Industrial Electronics*, 525-530.
- El-Halwagy, W., Nag, A., Hisayasu, P., Aryanfar, F., Mousavi, P., Hossain, M., 2017. A 28-GHz Quadrature Fractional-N Frequency Synthesizer for 5G Transceivers with Less Than 100-fs Jitter Based on Cascaded PLL Architecture, *IEEE Transactions on Microwave Theory and Techniques*, 65(2), 396–413.
- Gardner, F., 1980. Charge-Pump Phase-Lock Loops. *IEEE Transactions on Communications*, 28(11), 1849–1858.
- Hsieh, G.-C., Hung, J. C., 2006, Phase-locked loop techniques. A survey, *IEEE Trans. Ind. Electron.*, 609–615.
- Kailuke, A. C., Agrawal, P., Kshirsagar, R. V., 2014, Design of Phase Frequency Detector and Charge Pump for Low Voltage High Frequency PLL, *International Conference on Electronic Systems, Signal Processing and Computing Technologies*, 74-78.

- Karimi-Ghartemani, M., Ooi, B.-T., Bakhshai, A., 2010, Application of Enhanced Phase-Locked Loop System to the Computation of Synchrophasors, IEEE Trans. Power Delivery, 22-32
- Keykhali, M., 2016. A Study On A Low Phase Noise Charge Pump Phase-locked Loop At 2.8 Ghz. Middle East Technical University, The Graduate School Of Natural And Applied Sciences, M.Sc. Thesis, 92p, Ankara.
- Lata, K., Kumar, M., 2013, ALL Digital Phase-Locked Loop (ADPLL): A Survey, International Journal of Future Computer and Communication, 551-554.
- Leonov, G. A., Kuznetsov, N. V., Yuldashev, M. V., Yuldashev, R. V. 2015, Hold-In, Pull-In, and Lock-In Ranges of PLL Circuits: Rigorous Mathematical Definitions and Limitations of Classical Theory, IEEE Trans. Circ. Syst. I, 2454-2464.
- Li, L., Wu, X., Han, J., 2017, Design of 4GHz CMOS Charge-pump Phased-locked Loop based on the Simulink Behavioral Simulation, 2nd International Conference on Automation, Mechanical and Electrical Engineering, 70-73.
- Li, P., Bhatia, D., Xue, L., Bashirullah, R., 2011. A 90-240 MHz Hysteretic Controlled DC-DC Buck Converter with Digital Phase Locked Loop Synchronization. IEEE Journal of Solid-State Circuits, 46(9), 2108-2119
- Li, W., Tomisawa, M., 2007. A Post-Detection SNR-Aided Timing Recovery Loop for MIMO-OFDM Receivers, 2007 IEEE International Conference on Communications (ICC), Glasgow, 24-28 Haziran, 5114-5119
- Majeed, K.K. Abdul, Binsu J. Kailath., 2013, A Novel Phase Frequency Detector for a High Frequency PLL Design, Procedia Eng., 377-384.
- Monteiro, L. H. A., dos Santos, R. V., Piqueira, J. R. C., 2003, Estimating the critical number of slave nodes in a single-chain PLL network, IEEE Commun. Lett., 449-450.
- Narayanan, H., Fischer, G., 2005. Ultra Low-power Phase-locked Loops. Midwest Symposium on Circuits and Systems (MWSCAS), Covington, 7-10 Ağustos, 1370-1373
- NXP, 2006. Phase-Locked Loop Design Fundamentals. Erişim Tarihi: 13.09.2021. https://www.nxp.com/files-static/rf_if/doc/app_note/AN535.pdf
- Ortega, Á., Milano, F., 2018. Comparison Of Different PLL Implementations for Frequency Estimation and Control, 18th International Conference on Harmonics and Quality of Power (ICHQP), Ljubljana, 13 Mayıs, 1-6

- Pawar, Shobha N., Pradeep B. Mane., 2017, Wide band PLL frequency synthesizer: A survey, International Conference on Advances in Computing, Communication and Control, 1-6.
- Piqueira, J. R. C, 2020, Master-Slave Topologies with Phase-Locked Loops, Wireless Commun. Mobile Comput, 2020.
- Piqueira, J. R. C., Caligares, A. Z., Monteiro, L. H. A., 2007, Double-frequency jitter figures in master-slave PLL networks, AEU Int. J. Electron. Commun., 678-683.
- Razavi, B., 1996. Design Of Monolithic Phase-locked Loops and Clock Recovery Circuits -A Tutorial. Erişim Tarihi: 05.06.2021. https://www.eecis.udel.edu/~vsaxena/courses/ece504/Handouts/Razavi1996_PLL_IEEEExplore.pdf
- Rohde Shwarz, 2016. Erişim Tarihi: 11.09.2020. https://scdn.rohdeschwarz.com/ur/pws/dl_downloads/dl_application/application_notes/1gp108/1GP108_1E_Generating_Phase_Coherent_Signals.pdf
- Sabbagh, A., 2007. 0.18 μ m Phase / Frequency Detector And Charge Pump Design For Digital Video Broadcasting For Handheld's Phase-locked-loop Systems. The Ohio State University, M.Sc. Thesis, 36p, Ohio.
- Savory, S. J., 2010. Digital Coherent Optical Receivers: Algorithms and Subsystems, IEEE Journal of Selected Topics in Quantum Electronics, 16(5), 1164-1179.
- Savory, S. J., 2012. Digital Signal Processing For Coherent Systems. Optical Fiber Communication (OFC) Conference, Los Angeles, 4-8 Mart, 1-3
- Tabassam, A. A., Ali, F. A., Kalsait, S., Suleman, M. U., 2011. Building Software-Defined Radios in MATLAB Simulink - A Step Towards Cognitive Radios. 13th International Conference on Computer Modeling and Simulation, UKSIM, Cambridge, 30 Mart, 492-499
- Thabit, A.A., Ziboon, H.T., 2009. Design and Simulation of Digital PLL Synchronizer for BPSK and QPSK Based on Software Defined Radio. Engineering and Technology Journal, (27)10, 2008-2026.
- TI, 2017. Phase Synchronization of Multiple PLL Synthesizers Reference Design. Erişim Tarihi: 11.12.2020. <https://www.ti.com/lit/ug/tidud11/tidud11.pdf?ts=1641023993370>
- Wadhwa, A., Madhow, U., 2013. Blind Phase/Frequency Synchronization With Low-precision ADC: A Bayesian Approach. 51th Annual Allerton Conference on Communication, Control, and Computing, Monticello, 2-4 Ekim, 181-189

- Wagdy, M. F., Vaishnava, S., 2006. A Fast-Locking Digital Phase-Locked Loop. International Conference on Information Technology: New Generations (ITNG), Las Vegas, 10-12 Nisan, 742-748
- Wendt, K. R., Fredendall, G. L., 1943. Automatic Frequency and Phase Control of Synchronization in Television Receivers. Proceedings of the IRE, 31(1), 7-15.

EKLER

Ek A. MATLAB Kodu

```
clear, clc, close all
```

```
Fs = 8820 ;
```

```
nBits = 16 ;
```

```
nChannels = 2 ;
```

```
tend = 2;
```

```
ID = -1; % default audio input device
```

```
recObj = audiorecorder(Fs,nBits,nChannels,ID);
```

```
disp('Start speaking.')
```

```
recordblocking(recObj,tend);
```

```
disp('End of Recording.');
```

```
play(recObj);
```

```
doubleArray = getaudiodata(recObj);
```

```
plot(doubleArray);
```

```
title('Audio Signal (double)');
```

```
doubleArray2 = transpose(doubleArray);
```

```
doubleArray3 = doubleArray((1:end),(1:2));
```

```
t = linspace(0, tend, Fs*tend);
```

```
doubleArray3((1:end),(1)) = t;
```

ÖZGEÇMİŞ

Adı Soyadı : Zeynep KAPLANOĞLU ÇANTI

Eğitim Durumu

Lise : Gazi Anadolu Lisesi, 2011

Lisans : İzmir Katip Çelebi Üniversitesi, Mühendislik ve Mimarlık
Fakültesi, Elektrik Elektronik Mühendisliği Bölümü

Yüksek Lisans : İstanbul Ticaret Üniversitesi, Fen Bilimleri Enstitüsü,
Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Yayınları

Kaplanoğlu Çantı Z., Yarkan S., 2021. Master-Slave Phase Synchronization Method with XOR and Phase/Frequency Detector PLL. İstanbul Ticaret Üniversitesi Fen Bilimleri Dergisi, Basımda.